

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-138596

(43)Date of publication of application : 16.05.2000

(51)Int.Cl.

H03M 13/27

H04L 1/00

(21)Application number : 10-311512

(71)Applicant : FUJITSU LTD

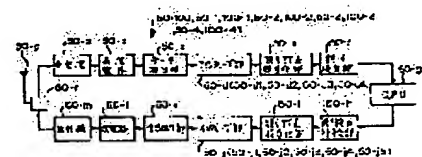
(22)Date of filing : 30.10.1998

(72)Inventor : OBUCHI KAZUCHIKA  
NAKAMURA TAKAHARU  
KAWABATA KAZUO**(54) INTERLEAVING METHOD, DEINTERLEAVING METHOD, INTERLEAVING DEVICE, DEINTERLEAVING DEVICE, INTERLEAVE/ DEINTERLEAVE SYSTEM AND INTERLEAVING/DEINTERLEAVING DEVICE**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To relatively easily eliminate deviation of data distribution with a simple configuration by arranging data to be transmitted in a matrix shape, randomly rearranging the data with at least either a column or a row as a unit and outputting the rearranged data time sequentially.

**SOLUTION:** The interleaving part 50-j of a mobile station(MS) interleave transmission data, specifically, arranges data to be transmitted in a matrix shape, randomly rearranges the data with a column and a row as a unit and outputs the rearranged data time sequentially. A signal assembling part 50-k assembles the radio frequency signal of this output into a signal format that is suitable to transmission, a diffuser 50-1 converts it into a diffusion signal, and a transmitter 50-m changes it into a transmission signal and transmits it through a duplexer 50-n and an antenna 50-p.

**LEGAL STATUS**

[Date of request for examination] 20.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-138596

(P 2 0 0 0 - 1 3 8 5 9 6 A)

(43) 公開日 平成12年5月16日(2000.5.16)

(51) Int. Cl. <sup>7</sup>

H03M 13/27

H04L 1/00

識別記号

F I

H03M 13/22

H04L 1/00

データベース (参考)

5J065

F 5K014

審査請求 未請求 請求項の数16 O L (全24頁)

(21) 出願番号 特願平10-311512

(22) 出願日 平成10年10月30日(1998.10.30)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 大淵 一央

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 中村 隆治

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 100092978

弁理士 真田 有

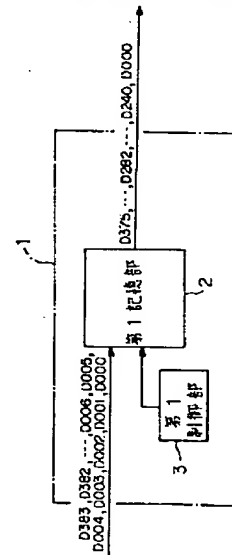
最終頁に続く

(54) 【発明の名称】 インタリーブ方法及びデインタリーブ方法並びにインタリーブ装置及びデインタリーブ装置並びに  
 インタリーブ/デインタリーブシステム並びにインタリーブ/デインタリーブ装置

(57) 【要約】

【課題】 インタリーブ装置において、簡素な構成の下、比較的容易なインタリーブにより、データの分散を偏りのないものにする。

【解決手段】 送信データを記憶する第1記憶部2と、該送信データが行列状に並べられて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えられた状態で該第1記憶部2から出力されるように該第1記憶部2に対する制御を行なう第1制御部3とをそなえて構成する。



## 【特許請求の範囲】

【請求項1】 送信すべきデータを行列状に並べて、少なくとも列及び行のいずれか一方を単位に、ランダムに該データを並び替えて、並び替えた後のデータを時系列に出力することを特徴とする、インタリープ方法。

【請求項2】 インタリープ後の受信データを行列状に並べて、

少なくとも列及び行のいずれか一方を単位に、ランダムに該データを並び替えて時系列に出力することにより、該受信データを、インタリープ前のデータ順で出力すること

を特徴とする、デインタリープ方法。

【請求項3】 送信データをインタリープするインタリ

ープ装置であって、

該送信データを記憶する第1記憶部と、

該送信データが行列状に並べられて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えられた状態で該第1記憶部から出力されるように該第1記憶部に対する制御を行なう第1制御部とをそなえて構成されて

いることを特徴とする、インタリープ装置。

【請求項4】 該第1制御部が、該送信データを行列状

に並べて少なくとも列及び行のいずれか一方を単位にラン

ダムに並び替えられた状態で該第1記憶部に書き込むた

めの、書き込みアドレスを発生して、該送信データの

書き込みを行なう第1書込制御部をそなえ、

該第1記憶部に記憶された該送信データをアドレス順に

読み出すように構成されていることを特徴とする、請求

項3記載のインタリープ装置。

【請求項5】 該第1書込制御部が、列番号をランダム

に発生する列番号発生部と、行番号をランダムに発生す

る行番号発生部とをそなえて構成され、

該列番号発生部及び該行番号発生部にて発生する各番号

を該書き込みアドレスとして、該第1記憶部に該送信デ

ータを書き込むように構成されていることを特徴とす

る、請求項4記載のインタリープ装置。

【請求項6】 該第1制御部が、該送信データを該第1

記憶部にアドレス順に書き込むとともに、

該第1記憶部に書き込まれている該送信データを行列状

に並べて少なくとも列及び行のいずれか一方を単位にラン

ダムに並び替えられた状態で該第1記憶部から読み出

すための、読み出しアドレスを発生して、該送信データ

の読み出しを行なう第1読出制御部をそなえて構成され

ていることを特徴とする、請求項3記載のインタリープ

装置。

【請求項7】 該第1読出制御部が、列番号をランダム

に発生する列番号発生部と、行番号をランダムに発生す

る行番号発生部とをそなえて構成され、

該列番号発生部及び該行番号発生部にて発生する各番号

を該読み出しアドレスとして、該第1記憶部から送信デ

ータを読み出すように構成されていることを特徴とす

る、請求項6記載のインタリープ装置。

【請求項8】 該列番号発生部及び該行番号発生部が、それぞれ、アドレスとして用いられる番号を、設定された順序で保持するメモリを用いて構成されたことを特徴とする、請求項5又は請求項7記載のインタリープ装置。

【請求項9】 受信データをデインタリープするデインタリープ装置であって、

該受信データを記憶する第2記憶部と、

該受信データが行列状に並べられて、少なくとも列及び

行のいずれか一方を単位にランダムに並び替えられたイン

タリープ前の状態で該第2記憶部から出力されるよう

に該第2記憶部に対する制御を行なう第2制御部とをそ

なえて構成されていることを特徴とする、デインタリ

ープ装置。

【請求項10】 該第2制御部が、該受信データを行列

状に並べて少なくとも列及び行のいずれか一方を単位に

ランダムに並び替えられたインタリープ前の状態で該第

2記憶部に書き込むための、書き込みアドレスを発生し

て、該受信データの書き込みを行なう第2書込制御部を

そなえ、

該第2記憶部に記憶された該受信データをアドレス順に

読み出すように構成されていることを特徴とする、請求

項9記載のデインタリープ装置。

【請求項11】 該第2書込制御部が、列番号をランダム

発生する列番号発生部と、行番号をランダムに発生す

る行番号発生部とをそなえて構成され、

該列番号発生部及び該行番号発生部にて発生する各番号

を該書き込みアドレスとして、該第2記憶部にデータを

書き込むように構成されていることを特徴とする、請求

項10記載のデインタリープ装置。

【請求項12】 該第2制御部が、該受信データを該第

2記憶部にアドレス順に書き込むとともに、

該第2記憶部に書き込まれている該受信データを行列状

に並べて少なくとも列及び行のいずれか一方を単位にラン

ダムに並び替えられたインタリープ前の状態で該第2

記憶部から読み出すための、読み出しアドレスを発生し

て、該受信データの読み出しを行なう第2読出制御部を

そなえて構成されていることを特徴とする、請求項9記

載のデインタリープ装置。

【請求項13】 該第2読出制御部が、列番号をランダム

に発生する列番号発生部と、行番号をランダムに発生

する行番号発生部とをそなえて構成され、

該列番号発生部及び該行番号発生部にて発生する各番号

を該読み出しアドレスとして、該第2記憶部から該受信

データを読み出すように構成されていることを特徴とす

る、請求項12記載のデインタリープ装置。

【請求項14】 該列番号発生部及び該行番号発生部

が、それぞれ、アドレスとして用いられる番号を、設定

された順序で保持するメモリを用いて構成されたことを

特徴とする、請求項11又は請求項13記載のデインタ

50

リーブ装置。

【請求項 15】 送信データをインタリーブするインタリーブ装置と、該インタリーブ装置でインタリーブされた該送信データを受信してデインタリーブするデインタリーブ装置とをそなえたインタリーブ／デインタリーブシステムであって、

該インタリーブ装置が、

該送信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えられた状態で出力するように構成されるとともに、

該デインタリーブ装置が、

受信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えられることにより、インタリーブ前の状態で出力するように構成されることを特徴とする、インタリーブ／デインタリーブシステム。

【請求項 16】 対向するインタリーブ／デインタリーブ装置との間でインタリーブされたデータの送受信を行なうインタリーブ／デインタリーブ装置であって、

該対向するインタリーブ／デインタリーブ装置への送信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位に、ランダムに並び替えられた状態で出力するインタリーブ装置と、

該対向のインタリーブ／デインタリーブ装置にてインタリーブされた受信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えたインタリーブ前の状態で出力するデインタリーブ装置とをそなえて構成されることを特徴とする、インタリーブ／デインタリーブ装置。

【発明の詳細な説明】

【0001】 (目次)

発明の属する技術分野

従来の技術 (図 22～図 24)

発明が解決しようとする課題

課題を解決するための手段 (図 1～図 4)

発明の実施の形態

(1) 第 1 実施形態の説明 (図 5～図 16)

(2) 第 2 実施形態の説明 (図 17 及び図 18)

(3) その他 (図 19～図 21 及び図 25～図 32)

発明の効果

【0002】

【発明の属する技術分野】 本発明は、データの配列の並び替えを好適に行なえる、インタリーブ方法及びデインタリーブ方法並びにインタリーブ装置及びデインタリーブ装置並びにインタリーブ／デインタリーブシステム並びにインタリーブ／デインタリーブ装置に関する。

【0003】

【従来の技術】 無線通信では、送信機から受信機へ送られるデータは、伝送中にフェージングの影響を受けて、送信した内容とは異なる誤ったデータに変えられる場合

がある。このフェージングに対処するための一般的な技術として、インタリーブ及びデインタリーブがある。このインタリーブは、例えば、送信機がデータを送信する際に、送信するデータが並んでいる順番を並び替えて出力する技術であり、一方、デインタリーブは、送信機から送られてきたインタリーブ後のデータが並んでいる順番を、インタリーブ前の順番に並び替える技術である。

【0004】 このインタリーブの一般的な技術として、ブロックインタリーブとランダムインタリーブとがある。

ブロックインタリーブは、規則的にデータの配列を並び替えるものである。例えば、ブロックインタリーブ前のデータが、「D0, D1, D2, D3, ..., D383」であるとする。なお、以下、データ「0, 1, 2, 3, ..., 383」と示す。

【0005】 これらの 384 個のデータ (0～383) は、図 22 に示すように、記憶部に 24 行 16 列の行列状に並べると仮定する。ここで、書き込む際に、データは行方向に順番に並べられ、読み出す際に列 (A'～P') 毎に、順番に読み出すようになっている。読み出されたデータは、「000」、「016」、「032」、「048」、「064」、「080」、「096」、「112」、「128」、「144」、「160」、「176」、...,「351」、「367」、「383」と並び替えられる。ここで、インタリーブ後のデータ系列は、「000」、「016」、「032」等と殆どのデータ番号を 15 個置きに並べられている。

【0006】 なお、読み出す際に、A' 列の最後のデータ「368」の読み出しが終了すると、次に B' 列の先頭のデータ「001」が読み出され、その他の列の変わり目の読み出し方法も同様になっており、一番最後のデータ「383」が読み出されたときは、先頭の A' 列から読み出されるようになっている。一方、受信機は、ブロックインタリーブ後のデータを受信すると、逆の処理を行なうことで、ブロックインタリーブ前のデータが並んでいる順番に並び替えるものである。

【0007】 このようなブロックインタリーブ後のデータは、送信機から受信機へ送信される過程で、伝送中のフェージングの影響を受けて、送信した内容とは異なる内容に変わり、バースト的な誤りを伴って受信機で受信される。例えば、図 22 に示す B' 列のデータ (001, 017, 033, 049, 065, 081, 097, 113, 129, 145, 161, 177, 193, 209, 225, 241, 257, 273, 289, 305, 321, 337, 353, 369) にバースト的な誤りが生じたと過程する。

【0008】 受信機は、受信したデータをデインタリーブし、送信機でのインタリーブ前の順番 (000, 001, 002, 003, 004, ..., 381, 382, 383) に並べ直す。すると、送信データ中に連続して生じた誤りデータは、規則的に分散される。すなわち、誤りデータは、データ (000～383) 中に番号を 15 個置きに分散して並べられる。

【0009】 これらの誤りデータは、前後のデータとの関係を考慮されて、誤り訂正機能により修正される。従って、ブロックインタリーブ／ブロックデインタリーブによれば、上記のような連続誤りを規則的に分散するこ

とで、誤りを修正し易くしている。しかし、バースト的な誤りが、例えば、B'列の先頭のデータ"001"からC'列中のデータ"130"まで発生した場合、デインタリーブ後のデータ"0~383"中に分散される誤りデータには、"001","002"と連続して誤りが配置される場合もあり、この場合、誤り訂正機能により、誤りを修正できない事態も発生し得る。

【0010】一方、ランダムインタリーブは、不規則にデータの配列を並び替えるものである。図23は、一般的なランダムインタリーブを説明するための図であり、この図23に示すように、ランダムインタリーブは、数字の記載順序でデータを記憶部に書き込み、アルファベット順に読み出すことで、データの並び替えを行なうようになっている。

【0011】また、記憶部への書き込みをもランダムに行なう場合を考えると、ランダムインタリーブは、例えば、図24に示すように、各データ"0~383"を24行16列の行列状に不規則に記憶部に書き込む。ランダムインタリーブが、記憶部からデータを読み出す際、行方向に並べられている順に各データを読み出すようになっている場合、読み出されたデータは、"000","255","127","063","031","015","263","240","376","251","125","123","061","030","271"と並び替えられる。

【0012】このランダムインタリーブ後のデータは、ブロックインタリーブ後のデータと比べて、ブロックインタリーブ後のデータが番号を15個置きに並び替えられたような規則に従わずに、並び替えられる。なお、読み出す際に、1行目の最後のデータ"232"の読み出しが終了すると、次に2行目の先頭のデータ"116"が読み出され、その他の行の変わり目の読み出し方法も同様になっており、一番最後のデータ"271"が読み出されたときは、先頭の1行目から読み出されるようになっている。

【0013】一方、受信機は、ランダムインタリーブ後のデータを受信すると、逆の処理を行なうことで、ランダムインタリーブ前のデータ順番に並び替えるようになっている。

【0014】

ここで、 $i' = 129(i + j) \bmod 256$

(1)

$j' = \{P(\xi) \cdot (i + 1)\} - 1 \bmod 256$

(2)

としたとき、i行・j列の順で書き込み、i1行j1列の順で読み出す。但し、 $\xi = (i + j) \bmod 8$ 、P

(0) = 17, P(1) = 37, P(2) = 19, P

(3) = 29, P(4) = 41, P(5) = 23, P

(6) = 13, P(7) = 7である(i, j, i', j' = 0, 1 ~ 8)。

【0020】また、i行・j列の順(1行1列, 1行2列, ..., 1行8列, 2行1列, ..., 8行8列の順)で、データは、記憶部に書き込まれ、i'行・j'列の順で記憶部から読み出されるようになっている。また、

(x mod y)は、xをyを割った剰余を表す。しかし、

【発明が解決しようとする課題】このようなランダムインタリーブ後のデータは、送信機から受信機へ送信される過程で、伝送中のフェージングの影響を受けて、送信した内容とは異なる内容に変わり、バースト的な誤りを伴って受信機で受信される。例えば、図24に示す2行目のデータ(116, 314, 206, 103, 307, 153, 076, 038, 019, 009, 260, 130, 065, 288, 144, 328)にバースト的な誤りが生じたと仮定する。

【0015】受信機は、受信したデータをデインタリーブし、送信機でのインタリーブ前の順番(000, 001, 002, 003, 004, ..., 381, 382, 383)に並べ直す。すると、送信データ中に連続して生じた誤りデータ(116, 314, 206, 103, 307, 153, 076, 038, 019, 009, 260, 130, 065, 288, 144, 328)は、データ(000~383)内に不規則に分散される。

【0016】誤りデータは、前後のデータとの関係を考えて、誤り訂正機能により修正される。また、例えば、図24に示す14行目のデータ(198, 099, 305, 152, 332, 166, 083, 041, 276, 197, 354, 177, 088, 300, 150, 331)にバースト的な誤りが生じた場合を過程する。

【0017】これらの誤りデータは、データ(000~383)内に分散されるが、各誤りデータは、ランダムインタリーブ前の状態に並び戻されると、互いに近い位置に分散されることになる。即ち、誤りデータ中のデータ"083"とデータ"088"、データ"150"とデータ"152"、データ"197"とデータ"198"、データ"300"とデータ"305"、データ"331"とデータ"332"とは、全384個のデータ(000~383)内に分散されるが、誤りデータ同士とが近い位置に分散される事態が生じ、誤り訂正機能により、誤りを修正できない事態も発生し得る。

【0018】このような場合、ランダムインタリーブ／ランダムデインタリーブは、バースト状に発生した誤りをランダムに分散するが、分散した誤りの位置が局所的に近寄ってしまい、分散の仕方に偏りが生じる。また、65536(256×256)個のデータが記憶部に256行256列の行列状に並べられる場合を考える。

【0019】

式(1)、(2)に従って読み出しを行なうインタリーブ装置を作るのは、ランダム発生のしかたが複雑であるため、容易に製造することができない。また、このようなインタリーブ後のデータをデインタリーブするデインタリーブ装置をも、容易に製造することができない。

【0021】本発明は、このような課題に鑑み創案されたもので、簡素な構成で、比較的容易なインタリーブにより、データの分散を偏りの無いものにするを目的とする。

【0022】

【課題を解決するための手段】このため、請求項1記載

のインタリブ方法は、送信すべきデータを行列状に並べて、少なくとも列及び行のいずれか一方を単位に、ランダムに該データを並び替えて、並び替えた後のデータを時系列に出力することを特徴とする。また、請求項2記載のデインタリブ方法は、インタリブ後の受信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位に、ランダムに該データを並び替えて時系列に出力することにより、該受信データを、インタリブ前のデータ順で出力することを特徴とする。

【0023】一方、図1は本発明の請求項3記載のインタリブ装置を示す原理ブロック図であり、この図1において、インタリブ装置1は、送信データをインタリブするものであって、該送信データを記憶する第1記憶部2と、該送信データが行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えられた状態で該第1記憶部2から出力されるように該第1記憶部2に対する制御を行なう第1制御部3とをそなえて構成されている。なお、図1に示す送信データ(D000～D383)は、例として記載するものである。

【0024】該第1制御部3に、該送信データを行列状に並べて少なくとも列及び行のいずれか一方を単位にランダムに並び替えられた状態で該第1記憶部2に書き込むための、書き込みアドレスを発生して、該送信データの書き込みを行なう第1書込制御部をそなえて、該第1記憶部2に記憶された該送信データをアドレス順に読み出すように構成してもよい(請求項4)。

【0025】該第1書込制御部に、列番号をランダムに発生する列番号発生部と、行番号をランダムに発生する行番号発生部とをそなえて構成するとともに、該列番号発生部及び該行番号発生部にて発生する各番号が該書き込みアドレスとして、該第1記憶部2に該送信データを書き込むように構成してもよい(請求項5)。該第1制御部3が該送信データを該第1記憶部2にアドレス順に書き込むとともに、該第1記憶部2に書き込まれている該送信データを行列状に並べて少なくとも列及び行のいずれか一方を単位にランダムに並び替えられた状態で該第1記憶部2から読み出すための、読み出しアドレスを発生して、該送信データの読み出しを行なう第1読出制御部をそなえて構成してもよい(請求項6)。

【0026】該第1読出制御部に列番号をランダムに発生する列番号発生部と、行番号をランダムに発生する行番号発生部とをそなえて構成し、該列番号発生部及び該行番号発生部にて発生する各番号を該読み出しアドレスとして、該第1記憶部2から送信データを読み出すように構成してもよい(請求項7)。該列番号発生部及び該行番号発生部が、それぞれ、アドレスとして用いられる番号を、設定された順序で保持するメモリを用いて構成してもよい(請求項8)。

【0027】次に、図2は、本発明の請求項9記載のデインタリブ装置を示す原理ブロック図であり、この図

2において、デインタリブ装置4は、受信データをデインタリブするものであり、該受信データを記憶する第2記憶部5と、該受信データが行列状に並べられて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えられたインタリブ前の状態で該第2記憶部5から出力されるように該第2記憶部5に対する制御を行なう第2制御部6とをそなえて構成されている。なお、図2に示す受信データ(D000～D383)は、例として記載しているものである。

【0028】該第2制御部6に、該受信データを行列状に並べて少なくとも列及び行のいずれか一方を単位にランダムに並び替えられたインタリブ前の状態で該第2記憶部5に書き込むための、書き込みアドレスを発生して、該受信データの書き込みを行なう第2書込制御部をそなえ、該第2記憶部5に記憶された該受信データをアドレス順に読み出すように構成してもよい(請求項10)。

【0029】該第2書込制御部に、列番号をランダムに発生する列番号発生部と、行番号をランダムに発生する行番号発生部とをそなえ、該列番号発生部及び該行番号発生部にて発生する各番号を該書き込みアドレスとして、該第2記憶部5にデータを書き込むように構成してもよい(請求項11)。該第2制御部6が該受信データを該第2記憶部5にアドレス順に書き込むとともに、該第2制御部6に、該第2記憶部5に書き込まれている該受信データを行列状に並べて少なくとも列及び行のいずれか一方を単位にランダムに並び替えられたインタリブ前の状態で該第2記憶部5から読み出すための、読み出しアドレスを発生して、該受信データの読み出しを行なう第2読出制御部をそなえて構成してもよい(請求項12)。

【0030】該第2読出制御部に、列番号をランダムに発生する列番号発生部と、行番号をランダムに発生する行番号発生部とをそなえて構成し、該列番号発生部及び該行番号発生部にて発生する各番号を該読み出しアドレスとして、該第2記憶部5から該受信データを読み出すように構成してもよい(請求項13)。該列番号発生部及び該行番号発生部を、それぞれ、アドレスとして用いられる番号を設定された順序で保持するメモリを用いて構成するのが望ましい(請求項14)。

【0031】次に、図3は、本発明の請求項15記載のインタリブ／デインタリブシステムを示す原理ブロック図であり、この図3において、インタリブ／デインタリブシステム7は、送信データをインタリブするインタリブ装置1と、該インタリブ装置1でインタリブされた該送信データを受信してデインタリブするデインタリブ装置4とをそなえ、該インタリブ装置1を、該送信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えられた状態で出力するように構成されるとともに、該デ

インタリーブ装置 4 を、受信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えられることにより、インタリーブ前の状態で出力するように構成されている。

【0032】また、図 4 は、本発明の請求項 16 記載のインタリーブ／デインタリーブ装置を示す原理ブロック図であり、この図 4 において、インタリーブ／デインタリーブ装置 8 A は、対向するインタリーブ／デインタリーブ装置 8 B との間でインタリーブされたデータの送受信を行なうものであり、該対向するインタリーブ／デインタリーブ装置 8 B への送信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位に、ランダムに並び替えられた状態で出力するインタリーブ装置 1 と、該対向のインタリーブ／デインタリーブ装置 8 B にてインタリーブされた受信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えたインタリーブ前の状態で出力するデインタリーブ装置 4 とをそなえて構成されている。

#### 【0033】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

##### (1) 第 1 実施形態の説明

第 1 実施形態を説明するに当たり、スペクトル拡散技術を用いた符号分割多元接続 (CDMA: Code Division Multiple Access) 通信を携帯電話システムにおいて移動局と基地局とが行なう場合を例に、第 1 実施形態を説明する。

【0034】また各移動局 (MS: mobile station) と基地局 (BS: base station) との間で、信号を送信／受信する場合に関して説明を進める。図 5 は、第 1 実施形態に係る MS の構成を示すブロック図であり、図 5 に示すように、MS 50 は、受信機 50-a、逆拡散器 50-b、データ抽出部 50-c、デインタリーブ部 50-d、誤り訂正復号化部 50-e、誤り検出部 50-f、CPU 50-g、誤り検出符号化部 50-h、誤り訂正符号化部 50-i、インタリーブ部 50-j、信号組立部 50-k、拡散器 50-l、送信機 50-m、デュプレクサ 50-n、アンテナ 50-p をそなえて構成されている。

【0035】ここで、受信機 50-a は、アンテナ 50-p 及びデュプレクサ 50-n を介して受信した信号を逆拡散器 50-b にて処理し易い信号に変形するものである。例えば、受信機 50-a は、アンテナ 50-p 及びデュプレクサ 50-n を介して受信した信号 (無線周波数受信信号: RF 信号) を中間周波信号 (IF 信号) にダウンコンバートし、I チャンネル成分と Q チャンネル成分に分離する他、各成分 (I チャンネル及び Q チャンネル) 毎にアナログ／デジタル変換を行なって、デジタル信号に変換する。

【0036】次に、逆拡散器 50-b は、受信機 50-

a から送られてくるデジタル信号から逆拡散コードを用いて、所望の信号を分離するものであり、データ抽出部 50-c は、逆拡散器 50-b にて分離された信号からデータを抽出するものである。誤り訂正復号化部 50-e は、デインタリーブ部 50-d にてデインタリーブ後のデータを復号するとともに、データ中に含まれている誤りを訂正するものであり、誤り訂正符号を用いてデータの誤りを訂正するようになっている。例えば、誤りは、データ (主信号) を送信する際に付加された余剰ビットを用いて修正され、余剰ビットは、復号及び修正に伴い削除されるようになっている。

【0037】誤り検出部 50-f は、データ (主信号) を送信する際に付加された誤り検出ビットを検出して、予め設定されている誤り検出ビットのビット構成を基に、誤りを検出するものである。誤り検出部 50-f にて検出された誤り等の情報やデータは、CPU 50-g へ通知される。また、誤り検出符号化部 50-h は、CPU 50-g から送られてくるデータに、誤りを検出するための誤り検出ビットを符号化して付加するものであり、誤り訂正符号化部 50-i は、誤り検出符号化部 50-i から送られてくるデータに、誤りの訂正に用いる誤り訂正符号を付加するものである。

【0038】信号組立部 50-k は、インタリーブ後のデータを送信するに適した信号フォーマットに組み立てるものであり、拡散器 50-l は、所定の拡散コードを用いて、信号組立部 50-k から送られてくる信号を拡散信号に変換するものである。送信機 50-m は、拡散器 50-l から送られてくる信号を、送信信号に変形するものである。

【0039】例えば、送信機 50-m は、拡散器 50-l から送られてくるデジタル信号を成分 (I チャンネル、Q チャンネル) 毎に、デジタル／アナログ変換によりアナログ信号に変換する。また、送信機 50-m は、直交変調信号に直交変調した後に、中間周波信号 (IF 信号) を無線周波数信号 (RF 信号) にアップコンバートするようになっている。

【0040】この無線周波数信号は、デュプレクサ 50-n 及びアンテナ 50-p を介して外部に送信される。ところで、インタリーブ部 (インタリーブ装置) 50-j は、送信データをインタリーブするものである。具体的には、インタリーブ部 50-j は、送信すべきデータを行列状に並べて、列及び行を単位に、ランダムにデータを並び替えて、並び替えた後のデータを時系列に出力するようになっている。

【0041】例えば、送信データの系列が、384 値 (000~383) あるとする。これらのデータ (000~383) は、図 6 に示すように、行列状 (16 行 24 列) に並べた後、図 7 に示すように、列単位に並び替えを行なう。図 6 に示すように、列 (A 列~P 列) は、アルファベット順に並んでいるが、列単位の並び替えで図 7 に示すように、

A列、P列、J列と並び替えられる。

【0042】その後、データ(000~383)は、図8に示すように、行単位に並び替えれる。図7に示すように、各行(1行~24行)は、行番号順に並べられているが、行単位の並び替えにより、図8に示すように、1行、16行、19行、10行、17行等と並び替えられる。図8に示すように行列状に並べられたデータを、A列の“000”から順番に列方向に読み出すことで、当初、データが並んでいた順番がランダムに並び替えられるようになっている。即ち、読み出されたデータは、図9に示すように、不規則に並び替えられている。

【0043】ここで、図10は、本発明の第1実施形態に係るインタリーブ装置50-jを示すブロック図であり、この図10に示すように、インタリーブ装置50-jは、インタリーブRAM(Random Access Memory)51、制御処理部52をそなえて構成されている。ここで、インタリーブRAM(第1記憶部)51(以下、「第1RAM51」と言う)は、送信データを記憶するものである。

【0044】制御処理部(第1制御部)52(以下、「第1制御処理部」と言う)は、送信データを行列状に並べて、列及び行をランダムに並び替えられた状態で第1RAM51から送信データが出力されるように、第1RAM51を制御するものである。このため、第1制御処理部52は、書込処理部60(以下、「第1書込処理部」と言う)と読出処理部70(以下、「第1読出処理部70」と言う)とをそなえて構成されている。

【0045】ここで、第1書込処理部60は、第1RAM51にデータを書き込む制御を行なうものであり、アドレスやイネーブル信号(図示省略)を出力するものである。第1書込処理部60は、誤り訂正符号化部50-iから送られてくる各信号を、アドレス順に書き込むものである。このため、第1書込処理部60は、図10に示すように、カウンタ61をそなえて構成されている。このカウンタ61は、“0”~“383”のカウンタ値を発生させるものであり、小さい値から順にカウンタアップしていき、最大カウンタ値に達すると、再び“0”からカウントするようになっている。

【0046】なお、各カウンタ値(“0”~“383”)は、入力データのアドレスとして用いられ、例えば、1番目のデータ“000”は、カウンタ61にて出力さ

れるカウンタ値“0”をアドレスとして0番地に記憶され、107番目のデータ“106”は、カウンタ値“106”をアドレスとして106番地に記憶される。一方、図10に示す第1読出処理部(第1読出制御部)70は、第1RAM51に書き込まれている送信データを行列状に並べて列及び行をランダムに並び替えた状態で第1RAM51から送信データを読み出すための、アドレスを発生して、データの読み出しを行なうものである。

【0047】なお、第1読出処理部70は、行列状に並べられて第1RAM51に保持されているデータ(図6参照)を、図9に示すデータ配列で第1RAM51から読み出すようになっている。このため、第1RAM読出処理部70は、A列発生回路71、1行発生回路72及び加算器73をそなえて構成されている。

【0048】ここで、A列発生回路(列番号発生部)71は、列番号をランダムに発生するものであり、図8に示すA列内の24個の番号(000~383の内16の倍数及び000)の何れかを発生するようになっている。なお、A列発生回路71は、一周期内にA列内の24個の番号をそれぞれ1回づつ発生し、24個の番号を発生し終わって次周期に移ると、リセットがかかることにより、再びA列内の24個の番号をそれぞれ出力するようになっている。また、周期の変わり目に桁上がりパルスを1行発生回路72へ出力するようになっている。

【0049】1行発生回路(行番号発生部)72は、行番号を発生するものであり、図8に示す1行内の16個の番号(000~015)のいずれかを発生させるようになっている。なお、1行発生回路72は、A列内の24個の列番号が全て出力される毎に(A列発生回路71の1周期毎に)出力する行番号をランダムに変えるようになっており、16個の番号(000~015)を発生し終わると、リセットがかかることにより、再び1行内の16個の番号をそれぞれ出力するようになっている。

【0050】加算器73は、A列発生回路71及び1行発生回路72からそれぞれ出力された番号を足し合わせた値を第1RAM51の読み出しアドレスとして出力するものである。ここで、下記表1は、A列発生回路71、1行発生回路72、加算器73から出力されるデータ例を示している。

【0051】

【表1】

出力データ例

	t1	t2	t3	t4	t5	t6	t7	t8	t9	t10	t11	t12	t13	t14	t15	t16	t17
A列発生回路の出力	000	240	288	...	112	304	368	000	240	288	...	112	304	368	000	240	288
1行発生回路の出力	000	000	000	...	000	000	000	015	015	015	...	015	015	015	015	015	015
加算器の出力	000	240	288	...	112	304	368	015	255	303	...	127	319	367	015	255	303

【0052】例えば、上記表1に示すように、タイミングt1~t24では、A列発生回路71が各タイミング毎に異なる列番号を出力する一方で、1行発生回路72の

出力は、同じ行番号を出力し続ける。A列発生回路71から出力する24個の番号が一巡(一周)し終わったタイミングt25になると、1行発生回路72は、次の番号

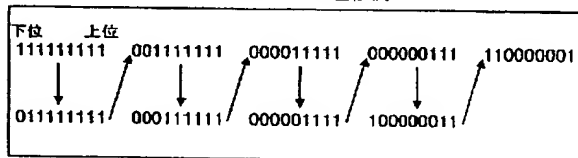


を出力するようになっており、A列発生回路71から送出する番号が一巡する間(一周期)、1行発生回路72からは同じ番号が出力され、A列発生回路71から24周期分の番号が出力されて、ようやく、1行発生回路72は、1周期分の番号(000~015の16個の番号)を出力するようになっている。

【0053】なお、上記表1においては、タイミングt47後の各回路71、72及び加算器73から出力される番号等は示していないが、A列発生回路71は、周期内で24個の番号をそれぞれ出力し、1行発生回路72は、同周期内で同じ番号を出力し、周期が変わる毎に違う番号を出力するようになっている。また、加算器73から出力される値(読み出しアドレス)は、上記表1のタイミングt26に着目してみると、A列発生回路71から出力された"240"と1行発生回路から出力された"015"とを足し合わせた"255"が出力されるようになっている。

【0054】ここで、図11は、本発明の第1実施形態に係る第1RAM読出処理部70の詳細な構成を示す図であり、この図11に示す第1RAM読出処理部70は、A列発生回路71、1行発生回路72、加算器73及びAND回路74をそなえて構成されている。ここで、A列発生回路71は、図11に示すように、EX-OR

ビット構成の遷移例



【0058】次に、第1~第3選択回路71-a~71-cとAND回路71-dは、A列発生回路から出力される9ビットのデータを監視するようになっている。ここで、第1選択回路71-aは、9ビットのデータ(2進数)で表される数値が10進数で16の倍数及び0に該当するか否かを判定するものであり、具体的には、9ビット中下位4ビットが全て"1"であるか否かを判断し、全て"1"であるときにパルスを出力する(図11中「YESでパルス」と表記)。

【0059】第2選択回路71-bは、9ビットのデータ(2進数)で表される数値が10進数で0~368内の数値であるか否かを判定するものである。第3選択回路71-bは、9ビットが全て"1(High)"になっているかを判断するものであり、全て"1"のときにパルス(桁上りパルス)を出力するようになっている(図11中「YESでパルス」と表記)。

【0060】次に、図11に示す1行発生回路72は、A列発生回路71と同じように、EX-OR75-a、シフトレジスタ75-b、設定制御部75-cをそなえて、第4選択回路72-a、スイッチ(SW)72-b

OR(排他的論理和:exclusive OR)回路(単に「EX-OR」と言う)75-a、シフトレジスタ75-b、設定制御部75-c、第1選択回路71-a、第2選択回路71-b、第3選択回路71-c、AND回路71-dをそなえて構成され、9ビットのデータを用いて、A列内の24個の番号(図8参照)を生成するようになっている。

【0055】ここで、シフトレジスタ75-bは、9ビットのデータを保持し、フリップフロップ(flip-flop;以下、「FF」と言う)75-b1~75-b9をそなえて構成されている。なお、FF75-b1~75-b9は、装置の起動時に制御を行なう設定制御部75-cの制御の下、起動時に"1(High)"のビットを保持するようになっている。

【0056】シフトレジスタ75-bに保持するデータは、クロック(CLK)により順次移動し、FF75-b9とFF75-b6から出力されたビットがEX-OR75-aにて排他的論理和の演算を行なわれた後のビットを下位ビットとしてFF75-b1にて保持するようになっている。下記表2は、シフトレジスタ75-bに保持されるビット構成の遷移例を示す。

【0057】

【表2】

bをそなえて構成されている。スイッチ72-bは、第3選択回路71-c及び第4選択回路72-aから出力されるパルスを下にクロック(CLK)信号をシフトレジスタ75-bへ送る制御を行なうものであり、第3選択回路71-cからパルス信号を受信すると、クロック信号をシフトレジスタ75-bへ送り(ON制御)、第4選択回路72-aからパルス信号を受信したときには、クロック信号を通過させないようにしている(OFF制御)。

【0061】第4選択回路72-aは、9ビットのデータ(2進数)で表される数値が10進数で0~15内に該当するか否かを判定するものであり、具体的には、9ビット中下位5ビット目以上のビットが"1"を含むか否かを判断し、5ビット目以上のビットに"1"を含んでいないときは、パルス信号を出力する(図11中「YESでパルス」と表記)。

【0062】ここで、図12(a)~(d)は、1行発生回路72のシフトレジスタ75-bの概略動作を説明するためのタイムチャートであり、図12(a)は、第3選択回路71-cからパルス信号が出力されるタイミ

ングを示し、図12(b)は、第4選択回路72-bからパルス信号が出力されるタイミングを示し、図12

(c)は、スイッチ72-bからクロック信号が出力されるタイミングを示し、図12(d)は、シフトレジスタ75-bに保持されるデータの遷移タイミングを示すタイムチャートである。

【0063】図12(a)に示すように、タイミングT1でパルス信号が第3選択回路71-cから出力されると、スイッチ72-bは、ON制御によりクロック信号をシフトレジスタ75-bへ送出する〔図12(c)参照〕。シフトレジスタ75-bでは、スイッチ72-bを介して受信したクロックを受信する毎に、データをシフトさせて、保持する9ビットのデータ構成を変化させる〔図12(d)中「データの変化点」と表記〕。

【0064】一方、図12(b)に示すように、タイミングT2でパルス信号が第4選択回路72-aから出力されると、スイッチ72-bは、タイミングT2前にクロック信号を送出していた状態からクロック信号をシフトレジスタ75-bへ送らない状態に変わり〔図12

(c)参照〕、シフトレジスタ75-bでは、データをシフトせずに、前状態を保持する(データを変化させない)。

【0065】その後、タイミングT3で、パルス信号が第3選択回路71-cから出力されると、上記同様に、シフトレジスタ75-bは、データをシフトさせてビット構成を変化させる。図11に示すAND回路74は、加算器73から出力されるアドレスに記憶されているデータを読み出すイネーブル信号を出す制御を行なうものであり、A列発生回路71及び1行発生回路72から出力された値(番号)がそれぞれ所定の値である場合に、イネーブル信号を出すようになっている。

【0066】具体的には、A列発生回路71から加算器73へ送出する値が“16(10進数)”の倍数且つ“0~368(10進数)”に該当するときに第1選択回路71-a及び第2選択回路71-bからそれぞれパルス信号がAND回路71-dへ出力され、AND回路71-dは、AND回路74へパルス信号を出力する。一方、1行発生回路72から加算器73へ送出する値が“0~15(10進数)”に該当するときに第4選択回路72-aからAND回路74へパルス信号が出力される。

【0067】AND回路74は、AND回路71-d及び第4選択回路72-aからそれぞれパルス信号を受信したときに、第1RAM51へイネーブル信号を出力するようになっている。例えば、上記表1のタイミングt26において、加算器73から第1RAM51へ出力される“255”は、AND回路71-d及び第4選択回路72-aから出力されるパルス信号を基にAND回路74から第1RAM51へイネーブル信号が出力されることで、有効な読み出しアドレスとして用いられ、アドレ

ス“255”に記憶されているデータが読み出されるようになっている。

【0068】図10に示すA列発生回路71及び1行発生回路72にはリセットがかかるようになっているが、図11に示すA列発生回路71及び1行発生回路72の構成では、1周期毎にリセットがかかるようには構成されていない。即ち、シフトレジスタ75-b内のビット構成が、所定時間経過すると全て“1”になるようになっている。

【0069】一方、図5に示すデインタリーブ部(デインタリーブ装置)50-dは、受信データをデインタリーブするものである。具体的には、デインタリーブ部50-dは、インタリーブ後の受信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位に、ランダムにデータを並び替えて時系列に出力することにより、受信データをインタリーブする前のデータ順で出力するようになっている。

【0070】例えば、他の装置から送出されたインタリーブ後のデータ(図9参照)が、前記のインタリーブ部50-jと同じインタリーブが行なわれる場合を前提に説明すると、送信時に不規則に並び替えられている384個のデータ(000~383)を番号順に並び替えるようになっている。ここで、図13は、本発明の第1実施形態に係るデインタリーブ装置50-dを示すブロック図であり、この図13に示すように、デインタリーブ装置50-dは、インタリーブRAM53、制御処理部54をそなえて構成されている。

【0071】インタリーブRAM(第2記憶部)53(以下、「第2RAM53」と言う)は、受信データを記憶するものである。制御処理部(第2制御部)54(以下、「第2制御処理部54」と言う)は、受信データを行列状に並べ、列及び行をランダムに並び替えてインタリーブ前の状態で第2RAM53から受信データを出力するように第2RAM53に対する制御を行なうものである。

【0072】このため、第2制御処理部54は、書込処理部60-1(以下、「第2書込処理部60-1」と言う)と読出処理部70-1(以下、「第2読出処理部70-1」と言う)とをそなえて構成されている。ここで、第2書込処理部(第2書込制御部)60-1は、受信データを行列状に並べて列及び行をランダムに並び替えたインタリーブ前の状態に第2RAM53に書き込むための、書き込みアドレスを発生して、受信データの書き込みを行なうものである。

【0073】例えば、受信するインタリーブ後のデータ(図9参照)を、列及び行を並び替えて、図6に示す行列の状態に第2RAM53に記憶するように、データの書き込み制御を行なうものである。このため、第2書込処理部60-1は、図13に示すように、A列発生回路71、1行発生回路72、加算器73をそなえて構成さ

れている。

【0074】なお、A列発生回路71、1行発生回路72、加算器73をそなえて構成される第2書込処理部60-1は、図12に示すように、前記の読出処理部70と同様に、EX-OR75-a、シフトレジスタ75-b、設定制御部75-c、第1選択回路71-a、第2選択回路71-b、第3選択回路71-c、AND回路71-d、第4選択回路72-a、スイッチ(SW)72-bをそなえて構成することができる。また、図13に示すように、デインタリーブ部50-dを構成する場合、図13に示す加算器73から出力される番号は、書き込みアドレスとして使用される。

【0075】次に、図13に示す第2読出処理部70-1は、第2RAM53からデータを読み出すものであり、アドレスやイネーブル信号(図示省略)を出力するものであり、図13に示すように、カウンタ61をそなえて構成されている。この第2読出処理部70-1のカウント61から送出されるカウント値“0~383”を基に第2RAM53から読み出されたデータ(000~383)は、“000”、“001”、“002”、“003”、...、“150”、...、“250”、...、“382”、“383”と番号順に読み出される。

【0076】ところで、MS50は、インタリーブ部50-jとデインタリーブ部50-dとをそなえて構成されるため、対向するインタリーブ/デインタリーブ装置との間でインタリーブされたデータの送受信を行なうインタリーブ/デインタリーブ装置としての機能をそなえて構成されている。次に、MS50とCDMA通信を行なうBSは、MS50とデータの送受信を行なうものである。

【0077】なお、CDMA通信にてMS50とBSとで、同じ拡散コードを用いて拡散したインタリーブ後のデータを送信する場合及び同じ逆拡散コードを用いて逆拡散した受信データをデインタリーブする場合を例に説明する。BS100は、図5に示すように、前記MS50と同様に、受信機50-a、逆拡散器50-b、データ抽出部50-c、デインタリーブ部(デインタリーブ装置)50-d、誤り訂正復号化部50-e、誤り検出部50-f、CPU50-g、誤り検出符号化部50-h、誤り訂正符号化部50-i、インタリーブ部(インタリーブ装置)50-j、信号組立部50-k、拡散器50-l、送信器50-m、デュプレクサ50-n、アンテナ50-pをそなえて構成されている。

【0078】なお、CDMA通信が、複数の拡散コードを用いる場合には、BS100は、各拡散コード別に逆拡散器50-b、拡散器50-lを設けるように構成することができ、また、拡散コード別に受信したデータ及び送信するデータを処理するために、データ抽出部50-c、デインタリーブ部50-d、誤り訂正復号化部50-e、誤り検出部50-f、誤り検出符号化部50-h、誤り訂正符号化部50-i、インタリーブ部50-j

j、信号組立部50-kをそなえて構成することもできる。

【0079】上述の如く構成された、第1実施形態に係るMS50とBS100とによれば、MS50は、BS100へデータを送信する場合、誤り訂正符号化部50-iにて誤り訂正符号を付加したデータ(000~383)をインタリーブ部50-jにて、行及び列をランダムに並び替えて、図9に示すような状態で信号組立部50-kへ出力する。

【0080】インタリーブ後のデータは、信号組立部50-kにて所定の送信データ長に組み立てられた後、拡散器50-lで所定の拡散コードで拡散される。また、拡散されたインタリーブ後のデータ(デジタル信号)は、送信機50-mでRF信号に変換等されて、デュプレクサ50-nやアンテナ50-pを介して、外部へ送信される。

【0081】一方、BS100では、MS50から送信されたRF信号をアンテナ50-pやデュプレクサ50-nを介して受信すると、受信機50-aにてデジタル信号に変換等を行なう他、逆拡散器50-bにて、所定の逆拡散コードで逆拡散する。その後、データ抽出部50-cにて、MS50のインタリーブ部50-jにてインタリーブされたインタリーブ後のデータを抽出し、デインタリーブ部にて、インタリーブ後のデータを行と列とをランダムに並び替えてインタリーブ前のデータ順に並び替えて誤り訂正復号化部50-eへ送出する。

【0082】誤り訂正復号化部50-eでは、誤り訂正符号を用いて訂正可能な誤りを訂正し、誤り検出部50-fにて誤りを検出した情報をCPU50-gへ通知する。一方、BS100からMS50へ送信されるデータ処理も、上記と同様であるので、詳細な説明は省略する。このように、本発明の第1実施形態に係るMS50とBS100とによれば、例えば、MS50からBS100へ送信したデータが、伝送中にフェージングの影響を受けて誤りが発生したとしても、送信側のMS50が送信に際し、簡素な構成の下、比較的容易なインタリーブによりデータの分散を偏りのない形に並び替えてデータを送信し、受信側のBS100は、インタリーブ後のデータを受信すると、簡素な構成の下、比較的容易なデインタリーブで誤りデータの分散を偏りのないものにするので、伝送品質の低下を抑制できる。

【0083】(1-1)第1実施形態の第1変形例の説明

第1実施形態の第1変形例について図5を用いて説明する。第1実施形態の第1変形例に係るMS50-1、BS100-1は、第1実施形態に係るMS50、BS100とほぼ同様の機能を有するものであるが、第1実施形態に係るデインタリーブ部50-dが受信データを第2RAM53に書き込む時にアドレスをランダムに発生する点と比較して、データを読み出すためのアドレスを

ランダムに発生する点で異なる。

【0084】なお、本第1実施形態の第1変形例の説明において、前述の第1実施形態にて記述した符号と同じ符号を付したものは、同一若しくはほぼ同様のものとする。ここで、図14は、本発明の第1実施形態の第1変形例に係るデインタリーブ部50-d1の構成を示す図であり、この図14に示すように、デインタリーブ部50-d1は、第2RAM53-1、制御処理部54-1をそなえて構成されている。

【0085】第2RAM53-1は、第2RAM53と同様に、受信データを記憶するものである。制御処理部(第2制御部)54-1は、第1実施形態に係る第2制御処理部54と同様に、受信したデータを行列状に並べて、列及び行をランダムに並び替えてインタリーブ前の状態で第2RAM53-1から出力されるように第2RAM53-1に対する制御を行なうものである。

【0086】このため、制御処理部54-1は、図14に示すように、書込処理部60-2(以下、「第3書込処理部60-2」と言う)と読出処理部70-2(以下、「第3読出処理部70-2」と言う)とをそなえて構成されている。第3書込処理部60-2は、第1実施形態に係る第1書込処理部60と同様の機能を有するものであり、第2RAM53-1にデータを書き込む制御を行なうものであり、アドレスやイネーブル信号(図示省略)を出力するものであり、カウンタ61をそなえて構成されている。

【0087】一方、図14に示す第3読出処理部(第2読出制御部)70-2は、第2RAM53-1に書き込まれている受信データを行列状に並べて、列及び行をランダムに並び替えたインタリーブ前の状態で第2RAM53-1から受信データを読み出すための、読み出しアドレスを発生して、受信データの読み出しを行なうものである。

【0088】このため、第3読出処理部70-2は、A列発生回路71-1、1行発生回路72-1、加算器73をそなえて構成されている。ここで、A列発生回路71-1は、第1実施形態に係るA列発生回路71と同様の機能を有するものであるが、A列発生回路71-1が発生する番号とA列発生回路71とで発生する番号とは異なる。

【0089】具体的には、A列発生回路71が24個の番号を発生させるのに対して、A列発生回路71-1は、16個の番号を発生させ、また、それぞれ発生する番号にも違いがある。A列発生回路71-1から発生する番号は、発生する番号順に記述すると、“000”、“144”、“120”、“216”、“096”、“312”、“192”、“360”、“072”、“048”、“288”、“240”、“168”、“264”、“336”、“024”である。

【0090】また、1行発生回路72-1も、第1実施形態に係る1行発生回路72と同様の機能を有するものであるが、1行発生回路72-1が発生する番号は、1

行発生回路72で発生する番号と異なる。具体的には、1行発生回路72が16個の番号を発生させるのに対して、1行発生回路72-1は、24個の番号を発生させ、また、それぞれ発生する番号にも違いがある。1行発生回路72-1から発生する番号は、発生する番号順に記述すると、“000”、“008”、“007”、“013”、“006”、“019”、“012”、“021”、“005”、“003”、“018”、“015”、“011”、“016”、“020”、“010”、“004”、“009”、“002”、“022”、“017”、“010”、“014”、“023”である。

【0091】なお、図15は、A列発生回路71-1と1行発生回路72-1と加算器73からそれぞれ出力される値を示す図であり、この図15に示すように、A列発生回路71-1と1行発生回路72-1とから出力される値を足し合わせた値が、加算器73から出力されて、読み出しアドレスとして用いられる。なお、図15に示すように、A列発生回路71-1から上記の16個の番号が出力されると、1行発生回路72-1は異なる番号を出力するようになっている。また、図15中に示す点線αは、1行発生回路72-1から出力されるデータの変わり目を示している。

【0092】また、第1実施形態に係るA列発生回路71-1と1行発生回路72-1とは、図11に示すA列発生回路71と1行発生回路72と同じ様に構成することができるが、第1選択回路71-aは、“24”の倍数を選択するように構成される他、第4選択回路72-aは、“0~23”内でパルス信号を出力するように構成される。

【0093】上述の如く構成されたMS50-1、BS100-1によれば、MS50-1のインタリーブ後のデータは、BS100-1のデインタリーブ部50-d1にて、インタリーブ前のデータ順に並び替えられる。このように、本発明の第1実施形態に係るMS50-1とBS100-1とによれば、例えば、MS50-1からBS100-1へ送信したデータが、伝送中にフェージングの影響を受けて誤りが発生したとしても、送信側のMS50-1が簡素な構成の下、比較的容易なインタリーブにより、データの分散を偏りのない形に並び替えてデータを送信し、受信側のBS100-1は、インタリーブ後のデータを受信すると、簡素な構成の下、比較的容易なデインタリーブで誤りデータの分散を偏りのないものにするので、伝送品質の低下を抑制できる。

【0094】なお、同様に、インタリーブに際し第1RAM51からデータを読み出すための読み出しアドレスをランダムに発生するインタリーブ部50-jに代えて、図16に示すようなデータを第1RAM51-1に書き込むための書き込みアドレスをランダム発生するインタリーブ部50-j1を用いてMS50-1、BS100-1を構成することもできる。

【0095】なお、この場合第1実施形態に係るデインタリーブ部50-dを用いて、インタリーブ後のデータ

をデインタリーブする。インタリーブ部 15-1 は、図 16 に示すように、第 1 RAM 51-1、制御処理部 52-1 をそなえて構成されている。第 1 RAM 51-1 は、第 1 RAM 51 と同様に、送信データを記憶するものである。

【0096】制御処理部 52-1 は、第 1 実施形態に係る第 1 制御処理部 52 と同様に、送信データを行列状に並べて、列及び行をランダムに並び替えた状態で第 1 RAM 51-1 から送信データを出力するように第 1 RAM 51-1 を制御に対する制御を行なうものである。このため、制御処理部 52-1 は、図 16 に示すように、書込処理部 60-3 (以下、「第 4 書込処理部 60-3」と言う) と読出処理部 70-3 (以下、「第 4 読出処理部 70-3」と言う) とをそなえて構成されている。

【0097】第 4 読出処理部 70-3 は、第 1 実施形態に係る第 2 読出処理部 60-2 と同様に機能するものであり、第 1 RAM 51-1 からデータを読み出す制御を行なうものであり、カウンタ 61 をそなえて構成されている。また、第 4 書込処理部 (第 1 書込制御部) 60-3 は、送信データを行列状に並べて、列及び行をランダムに並び替えた状態で第 1 RAM 51-1 から出力されるように第 1 RAM 51-1 に対する制御を行なうものである。

【0098】このため、第 4 書込処理部 60-3 は、A 列発生回路 71-1、1 行発生回路 72-1、加算器 73 をそなえて構成されている。インタリーブ部 50-j 1 の A 列発生回路 71-1、1 行発生回路 72-1 は、図 11 に示す A 列発生回路 71 と 1 行発生回路 72 と同じ様に構成することができるが、第 1 選択回路 71-a は、“24”の倍数を選択するように構成される他、第 4 選択回路 72-a は、“0~23”内でパルス信号を出力するように構成される。

【0099】デインタリーブ部 50-d は、インタリーブ部 50-j 1 にてインタリーブしたデータを行及び列をランダムに並び替えてインタリーブ前のデータ順で読み出すようになっている。このように、インタリーブ部 50-j 1 とデインタリーブ部 50-d との組み合わせの場合も、伝送中にバースト的な誤りが発生しても、簡単な構成で、容易に伝送品質の低下を抑制できる。

【0100】(1-2) 第 1 実施形態の第 2 変形例の説明

第 1 実施形態の第 2 変形例について図 5 を用いて説明する。第 1 実施形態の第 2 変形例に係る MS 50-2、BS 100-2 は、第 1 実施形態に係る MS 50、BS 100 とほぼ同様の機能を有するものであるが、図 10 に示す第 1 実施形態に係るインタリーブ部 50-j の構成と図 13 に示す第 1 実施形態に係るデインタリーブ部 50-d の構成をそれぞれ入れ替えて、インタリーブ部 50-j 2、デインタリーブ部 50-d 2 を構成する点で第

1 実施形態に係る MS 50、BS 100 と異なる。

【0101】なお、本第 1 実施形態の第 2 変形例の説明において、前述の第 1 実施形態等にて記述した符号と同じ符号を付したものは、同一若しくはほぼ同様のものとする。また、デインタリーブ部 50-d 2 は、図 10 に示すように、インタリーブ部 50-j と同様に構成され、図 10 に示す第 1 RAM 51 は、データ抽出部 50-c から送られてくる入力データを記憶し、第 1 RAM 51 に保持するデータを第 1 読出処理部 70 の制御の下、誤り訂正復号化部 50-e へ出力するようになっている。

【0102】また、インタリーブ部 50-j 2 は、図 13 に示すように、デインタリーブ部 50-d と同様に構成され、図 13 に示す第 2 RAM 53 は、誤り訂正符号化部 50-i から送られてくる入力データを第 2 書込処理部 60-1 の制御の下に記憶し、第 2 読出処理部 70-1 の制御の下、保持するデータを信号組立部 50-k へ出力するようになっている。

【0103】このように構成された、MS 50-2、BS 100-2 によっても、前記第 1 実施形態に係る MS 50、BS 100 と同様に、例えば、MS 50-2 から BS 100-2 へ送信したデータが、伝送中にフェージングの影響を受けて誤りが発生したとしても、送信側の MS 50-2 が送信に際し送信データを行及び列をランダムに入れ替え、受信側の BS 100-2 は、インタリーブ後のデータを受信すると、インタリーブ前の状態に並び替える。

【0104】従って、伝送過程で、送信側でランダムに並び替えられた 384 個のデータ中にバースト的な誤りが発生しても、受信側で、訂正し易い誤りの形に形成するためにそれらの誤りをランダムに分散するので、容易に誤りを訂正することができ、伝送品質の低下を抑制できる。なお、第 1 実施形態の第 1 変形例に係るデインタリーブ部 50-d 1 とインタリーブ部 50-j の構成を入れ替えた場合も同様である他、インタリーブ部 50-j 1 とデインタリーブ部 50-d の構成を入れ替えた場合も同様である。

【0105】(2) 第 2 実施形態の説明

第 2 実施形態の説明についても図 5 を用いて説明する。図 5 に示す第 2 実施形態に係る MS 50-3、BS 100-3 は、第 1 実施形態に係る MS 50、BS 100 とほぼ同様の機能を有するものであるが、第 1 実施形態に係るデインタリーブ部 50-d 及びインタリーブ部 50-j の A 列発生回路 71、1 行発生回路 2 を ROM とカウンタとを用いて構成する点で異なる。

【0106】なお、本第 2 実施形態の説明において、前述の第 1 実施形態等にて記述した符号と同じ符号を付したものは、同一若しくはほぼ同様のものとする。ここで、図 17 は、第 2 実施形態に係るデインタリーブ部を示すブロック図であり、この図 17 に示すように、デ

インタリブ部 50-d 3 は、第 1 実施形態に係るデインタリブ部 50-d と同様に第 2 RAM 53、加算器 73、カウンタ 61 を備える他、A 列発生回路 71-2、1 行発生回路 71-2 をそなえて構成されている。

【0107】ここで、A 列発生回路 71-2 は、第 1 実施形態に係る A 列発生回路 71 と同様の機能を有するものであるが、図 17 に示すように、ROM (Read Only M

## データ保持例

アドレス	0	1	2	3	4	5	6	7	.....	20	21	22	23
データ	000	240	288	144	256	128	064	032	.....	224	112	304	368

【0109】上記表 3 に示すように、ROM 71-2 a は、図 8 に示す A 列内の 24 個の番号を上から順にそれぞれ保持しており、例えば、アドレス“4”には番号“256”が保持されている。ROM 71-2 a は、カウンタ 71-2 b から出力されるカウント値（上記表 3 のアドレス）を受信すると、そのアドレスに保持するデータを読み出して加算器 73 へ出力するようになっている。

【0110】また、カウンタ 71-2 b は、自走のカウンタであり、“0”から“23”までのカウントを行ない、カウント値を ROM 71-2 a の読み出しアドレスとして出力し、最大カウント値“23”に至ると再び“0”からカウントを行なうようになっている。カウン

## データ保持例

アドレス	0	1	2	3	4	5	6	7	.....	12	13	14	15
データ	000	015	009	008	004	002	001	012	.....	010	005	014	007

【0113】上記表 4 に示すように、ROM 72-2 a は、図 8 に示す 1 行内の 16 個の番号を左から順にそれぞれ保持しており、例えば、アドレス“3”には番号“008”が保持されている。ROM 72-2 a は、カウンタ 72-2 b から出力されるカウント値（上記表 4 のアドレス）を受信すると、そのアドレスに保持するデータを読み出して加算器 73 へ出力するようになっている。

【0114】また、カウンタ 72-2 b は、“0”から“15”までのカウントを行ない、カウント値を ROM 72-2 a の読み出しアドレスとして出力し、最大カウント値“15”に至ると再び“0”からカウントを行なうようになっている。なお、カウンタ 72-2 b は、A 列発生回路 71-2 のカウンタ 71-2 b から桁上りパルスを受信することで、カウントアップを行なうようになっている。

【0115】また、図 13 に示す加算器 73 から出力される書き込みアドレスは、表 1 に示す例と同じである。ここで、図 18 は、第 2 実施形態に係るインタリブ部を示すブロック図であり、この図 18 に示すように、イ

emory) 71-2 a、カウンタ 71-2 b をそなえて構成されており、ROM (メモリ) 71-2 a は、A 列内の 24 個の番号（図 8 参照）をそれぞれ所定のアドレスに保持するものである。下記表 3 に、ROM 71-2 a のデータ保持例を示す。

【0108】

【表 3】

タ 71-2 b は、カウント周期が一巡すると桁上りパルスを 1 行発生回路 72-2 のカウンタ 72-2 b（後述）へ送出するようになっている。

【0111】一方、1 行発生回路 72-2 は、第 1 実施形態に係る 1 行発生回路 72 と同様の機能を有するものであるが、図 17 に示すように、ROM 72-2 a とカウンタ 72-2 b をそなえて構成されており、ROM (メモリ) 72-2 a は、1 行内の 16 個の番号を（図 8 参照）をそれぞれ所定のアドレスに保持するものである。下記表 4 に、ROM 72-2 a のデータ保持例を示す。

【0112】

【表 4】

インタリブ部 50-j 3 は、第 1 実施形態に係るインタリブ部 50-j と同様に第 1 RAM 51、加算器 73、カウンタ 61 を備える他、A 列発生回路 71-2、1 行発生回路 72-2 をそなえて構成されている。

【0116】上述の如く構成された第 2 実施形態に係る MS 50-3、BS 100-3 によれば、MS 50-3 が BS 100-3 へデータを送信する場合、第 1 実施形態に係る MS 50、BS 100 と同様に、MS 50 のインタリブ部 50-j 3 が、送信データを行及び列をランダムに入れ替えて、図 9 示すようなデータ順で信号組立部 50-k へインタリブ後のデータを送出する。

【0117】インタリブ部 50-j 3 は、インタリブを行なう際に、第 1 RAM 51 に記憶するデータを ROM 71-2 a 及び ROM 72-2 a からそれぞれ送出されるデータ（上記表 3 及び表 4 参照）を加算器 73 にて足し合わせた値を読み出しアドレスとして使用し、384 個のデータ（000～383）をランダムに読み出す。その後、インタリブ後のデータは、拡散器 50-1 を介して BS 100-3 へと送られる。

【0118】BS 100-3 では、MS 50-1 から送

られてくるデータを逆拡散器50-b等を介して受信し、デインタリーブ部50-d3にてデインタリーブし、インタリーブ前のデータ順に誤り訂正復号化部50-eへ送出する。デインタリーブ部50-d3は、デインタリーブを行なう際に、第2RAM53に記憶するデータをROM71-2a及びROM72-2aからそれぞれ送出されるデータ(上記表3及び表4参照)を加算器73にて足し合わせた値を書き込みアドレスとして使用し、384個のデータ(000~383)をランダムに第2RAM53に書き込む。データを第2RAM53に書き込んだ後、デインタリーブ部50-d3は、カウンタ61のカウンタ値“0”から順番に、384個のデータを読み出し制御を行なう。

【0119】このように構成された、MS50-3、BS100-3によれば、第1実施形態で述べた効果の他、ランダム発生にROM71-2a、72-2aを用いることで、アドレス発生の基準となるA列内の24個の番号と1行内の16個の番号とを発生する順序等を容易に設定することができる他、確実に384個のデータ(000~383)の並び替えを行なえて、伝送品質の低下を更に抑制できる。

【0120】(2-1)第2実施形態の一変形例の説明  
第2実施形態の一変形例の説明についても図5を用いて説明する。図5に示す第2実施形態の一変形例に係るMS50-4、BS100-4は、第2実施形態に係るMS50-3、BS100-3とほぼ同様の機能を有するものであるが、第2実施形態に係るデインタリーブ部50-d3及びインタリーブ部50-j3と比較して、データをインタリーブする時或いはデインタリーブする時にROMを用いてアドレスをランダム発生する点で、第2実施形態と異なる。

【0121】なお、本第2実施形態の一変形例の説明において、前述の第2実施形態等にて記述した符号と同じ符号を付したものは、同一若しくはほぼ同様のものとする。即ち、MS50-4とBS100-4は、第2実施形態に係るデインタリーブ部50-d3の代わりに第1実施形態の第1変形例に係るデインタリーブ装置50-d1をそなえて構成される。

【0122】このように構成されたMS50-4、BS100-4によっても、第1、第2実施形態で述べたと同様、送信側で送信データを行及び列をランダムに入れ替えて、図9に示すようなインタリーブ後のデータに形成し、受信側でインタリーブ後のデータを行及び列をランダムに入れ替えてインタリーブ前のデータ順に誤り訂正復号化部50-eに送出するので、伝送中にバースト的な誤りが発生しても、訂正し易い形の誤りに、誤りを分散することで、伝送品質の低下を抑制できるとともに、ランダム発生にROM71-2a、72-2aを用いることで、アドレス発生の基準となるA列内の24個の番号と1行内の16個の番号とを発生する順序等を容

易に設定することができる他、確実に384個のデータ(000~383)の並び替えをえて、伝送品質の低下を更に抑制できる。

【0123】また、MS50-4とBS100-4は、第2実施形態に係るインタリーブ部50-j3の代わりに第1実施形態の第1変形例に係るインタリーブ装置50-j1をそなえて構成することもできる。このように構成した場合も上記と同様に、伝送品質の低下を抑制でき、受信側のランダム発生をROM71-2a、72-2aを用いて容易に実現できる。

【0124】(4)その他

なお、上記の説明では、CDMA通信を例に説明をしたが、本発明は、その他の無線通信にて、誤り訂正符号を用いて誤りを訂正する機能をそなえる場合は、同様に実施することができる。また、上記の説明では、インタリーブ部50-jは、誤り訂正符号化部50-iにて誤り訂正符号を付加されたデータをインタリーブする場合を説明したが、誤り訂正符号としてターボ符号が用いられる場合、誤り訂正符号化部50-iにインタリーブする機能をそなえて構成することもできる。なお、ターボ符号は、畳み込み符号、BCH符号、リードソロモン符号とインタリーブを組み合わせた符号である。

【0125】例えば、図19は、インタリーブ機能を有する誤り訂正符号化部50-i1を示す図であり、この図19に示す誤り訂正符号化部50-i1は、インタリーブ部50-jと符号化装置50-iaをそなえて構成されている。ここで、符号化装置50-ia(図中「ENC」と表記)は、畳み込み等を行なうものである。

【0126】この図19に示す誤り訂正符号化部50-i1にデータuが入力されると、データuは、符号化装置50-iaやインタリーブ部50-j等を介して3つの信号 $x_1$ 、 $x_2$ 、 $x_3$ として形成される。これらのデータ $x_1$ 、 $x_2$ 、 $x_3$ は、インタリーブ部50-jへ送られそれぞれインタリーブされた後、拡散器50-l等を介して外部へ送信される。

【0127】一方、受信側のデータ $y_1$ 、 $y_2$ 、 $y_3$ (送信中にフェージングの影響を受けて $x_1$ は $y_1$ に、 $x_2$ は $y_2$ に、 $x_3$ は $y_3$ に変形したと仮定)は、図20に示す誤り訂正復号化部50-e1へと送られる。この誤り訂正復号化部50-e1は、図20に示すように、復号化装置50-ea、インタリーブ部50-j、デインタリーブ部50-dをそなえて構成されている。

【0128】復号化装置50-eaは、畳み込み復号等を行なうものである。この図20に示す誤り訂正復号化部50-e1にデータ $y_1$ 、 $y_2$ 、 $y_3$ は、それぞれ関連の割合を小さくして、誤り率を小さくしたデータを誤り検出部50-fへと送るようになっており、具体的には、データ $y_1$ とデータ $y_2$ とで復号したデータ $y_1'$ をインタリーブ部50-jがインタリーブする。このインタリーブ後のデータとデータ $y_3$ とで更に、復号を行なつ

たデータ  $y_i$  を更にディンタリブする。

【0129】誤り訂正復号化部 50-e1 は、そのディンタリブ部 50-d にてディンタリブしたデータとデータ  $y_i$  とで復号等上記同様の処理を行ない相関を少なくして復号を行なったデータ  $u'$  を出力する。このようにターボ符号を行なうことで、ターボ符号の重み分布の改善を計れる。

【0130】また、図 6～図 8 等に示す行列の並び替えを別々に行なうように構成することもできる。ここで、図 21 は、インタリブ部 50-j5 を示すブロック図であり、この図 21 に示すインタリブ部 50-j5 は、インタリブ RAM 56A～56C とカウンタ 61A～61C と加算器 73 と行発生回路 71A、72B、72C と列発生回路 72A、71B、71C とをそなえて構成されている。

【0131】ここで、インタリブ RAM (第 1 記憶部) 56A～56C は、第 1 RAM 51 と同様のものである。

【0132】また、行発生回路 71A、列発生回路 71B、71C は、A 列発生回路と同様の機能を有するものであり、各タイミング毎に異なる番号を加算器へ出力するようになっており、行発生回路 71A は、図 7 に示す 1 行内の 16 個の番号を出力するようになっている。また、列発生回路 71B は、番号 (000～015) を “000” から順に発生させるものであり、列発生回路 71C は、番号 (000～368) を “000” 及び 16 の倍数を “000” から順に “368” まで発生させるものである。

【0133】また、列発生回路 72A、行発生回路 72B、72C は、1 行発生回路 72 と同様の機能を有するものであり、列発生回路 72A は、番号 (000～015) を “000” から順に発生させるものであり、行発生回路 72B は、図 8 に示す A 列内の 24 個の番号を上から順に発生させるものであり、行発生回路 72C は、番号 (000～015) を “000” から順に発生させるものである。

【0134】また、列発生回路 72A、行発生回路 72B、72C は、それぞれ行発生回路 71A、列発生回路 71B、71C から桁上りパルスの受信を契機に加算器 73 へ出力する番号を変化させるようになっている。図 21 に示すインタリブ装置 50-j5 によれば、データ (000～383) は、図 6～図 8 に示す並び替えが行なわれて、図 9 に示す順序になる。

【0135】ところで、図 25～図 32 は、それぞれインタリビング (24[4[2×2]×6[3×2]]×16[4[2×2]×4[2×2]]) を説明するための図であり、以下、インタリビング (24[4[2×2]×6[3×2]]×16[4[2×2]×4[2×2]]) について説明すると、384 個のデータは、それぞれ図 25 に示すように、24 行 16 列に行列状に並べられる。

【0136】ここで、インタリビングは、16 列を図 25 に示す列番号 (図 25 中に示す 1～16) 順に列単

位の並び替えを行なう。図 26 は、図 25 に示す列単位の並び替えを行なった後の 384 個のデータが並べられている状態を示す図である。384 個のデータは、16 列を 4 分割され、列番号 (図 26 中に示す 1～4) 順にそれぞれ 4 列まとめて並び替えられる。図 27 は、図 26 に示す列の並び替えを行なった後の 384 個のデータが並べられている状態を示す図である。

【0137】ついで、384 個のデータは、16 列を 4 分割され、各分割された 4 列内で列番号 (図 27 中に示す 1～4) 順に並び替えられる。図 28 は、図 27 に示す列の並び替えを行なった後の 384 個のデータが並べられている状態を示す図である。次に、384 個のデータは、24 行を 6 分割されて、行番号 (図 28 に示す 1～24) 順に並び替えられる。図 29 は、図 28 に示す行単位の並び替えを行なった後の 384 個のデータが並べられている状態を示す図である。

【0138】さらに、384 個のデータは、図 29 に示すように 24 行を 6 分割されて、行番号 (図 29 中に示す 1～6) 順にそれぞれ 4 行まとめて並び替えられる。図 30 は、図 29 に示す行の並び替えを行なった後の 384 個のデータが並べられている状態を示す図である。ついで、384 個のデータは、図 30 に示すように 6 分割されて、各分割された 4 行内で行番号 (図 30 に示す 1～4) 順に並び替えられる。図 31 は、図 30 に示す行の並び替えを行なった後の 384 個のデータが並べられている状態を示す図である。

【0139】そして、図 31 に示す 384 個のデータは、列方向に “000”, “192”, “096”, “288”, “032”, “224”, “128” と読み出され、1 列内の 24 個のデータが終了すると、右側の列の先頭から再び行方向に読み出すようになっている。例えば、図 31 に示す “000” を含む列の最後の “368” の読み出しが終了すると、右側の列の先頭にある “008” が読み出されるようになっている。

【0140】図 32 は、インタリブ後の 368 個のデータが並べられている状態を示す図である。なお、図 32 に示すインタリブ後の 368 個のデータは、“000” から右方向に並べられており、図 32 中右端に示すデータ “368” の次には、“008” が続くことを意味し、また “376” 等の次には “004” 等が続くことを意味する。ここで、上記インタリビング (24[4[2×2]×6[3×2]]×16[4[2×2]×4[2×2]]) は、前記の A 列発生回路 71 等や 1 行発生回路 72 等を用いて容易に行なうことができる。

【0141】例えば、A 列発生回路 71 等を図 31 に示す A' 列内の 24 個の番号 (発生する順番に言うと、“000”, “192”, “096”, “288”, “032”, “224”, “128”, “320”, “064”, “256”, “160”, “352”, “016”, “208”, “112”, “304”, “048”, “240”, “144”, “336”, “080”, “272”, “176”, “368”) を発生するように構成すればよい。また、1 行発生回路 72 等を図 31 に示す 1' 行内の 16 個の番号 (発生する順



番に言うと、“000”、“008”、“004”、“012”、“002”、“010”、“006”、“014”、“001”、“009”、“005”、“013”、“003”、“011”、“007”、“0156”)を発生するように構成すればよい。

【0142】なお、上記インタリーブ(24[4×2]×6[3×2])×16[4×2]×4[2×2])に限らず、その他のインタリーブ(20[4×2]×5[3×2])×16[4×2]×4[2×2])等をも、本発明は実施できる。ところで、上記の説明では、行及び列をそれぞれランダムに入れ替える場合を説明したが、行及び列のいずれか一方をランダムに入れ替えてデータを並び替えを行なうように構成できる。また、上記では、メモリとしてROM 71-2a等を用いる場合を例として説明したが、メモリはその他の記憶素子を用いてもよい。

【0143】並びに、本発明は、上記詳述した以外に発明の趣旨を逸脱しない範囲で様々な形態で実施できる。

【0144】

【発明の効果】以上詳述したように、本発明の請求項1記載のインタリーブ方法によれば、送信すべきデータを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムにより該データを並び替えて時系列に出力することで、伝送中のフェージングの影響により、送信データ中にバースト的な誤りが発生しても、比較的容易なインタリーブにより、データの分散を偏りのないものにするので、回線品質の低下を抑制できる。

【0145】一方、本発明の請求項2記載のデインタリーブ方法によれば、インタリーブ後の受信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えて時系列に出力することにより、比較的容易なデインタリーブにより、データの分散を偏りのないものにするので、回線品質の低下を抑制できる。

【0146】他方、本発明の請求項3記載のインタリーブ装置によれば、該第1制御部が該送信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えた状態で該第1記憶部から出力するように該第1記憶部に対する制御を行なうことにより、簡素な構成の下、比較的容易なインタリーブにより、データの分散を偏りのないものにするので、回線品質の低下を抑制できる。

【0147】さらに、本発明の請求項4記載のインタリーブ装置によれば、第1書込制御部が、該送信データを行列状に並べて少なくとも列及び行のいずれか一方を単位にランダムに並び替えた状態で該第1記憶部に書き込むための、書き込みアドレスを発生して、該送信データの書き込みを行ない、該第1記憶部に記憶された該送信データはアドレス順に読み出されることによって、比較的容易なインタリーブを行なえて、回線の品質低下を抑制できる。

【0148】さらに、本発明の請求項5記載のインタリーブ装置によれば、列番号発生部が列番号をランダムに

発生し、行番号発生部が行番号をランダムに発生し、該第1書込制御部が、該列番号発生部及び該行番号発生部にて発生する各番号を該書き込みアドレスとして、該第1記憶部に該送信データを書き込むことにより、確実に簡易なインタリーブを行なえて、回線品質の低下を抑制できる。

【0149】または、本発明の請求項6記載のインタリーブ装置によれば、該第1制御部が、該送信データを該第1記憶部にアドレス順に書き込み、第1読出制御部が、該第1記憶部に書き込まれている該送信データを行列状に並べて少なくとも列及び行のいずれか一方を単位にランダムに並び替えられた状態で該第1記憶部から読み出すための、読み出しアドレスを発生して、該送信データの読み出しを行なうことによっても、比較的容易なインタリーブを行なえて、回線品質の低下を抑制できる。

【0150】さらに、本発明の請求項7記載のインタリーブ装置によれば、列番号発生部が列番号をランダムに発生し、行番号発生部が行番号をランダムに発生し、該第1読出制御部が、該列番号発生部及び該行番号発生部にて発生する各番号を該読み出しアドレスとして、該第1記憶部から送信データを読み出すことにより、確実に簡易なインタリーブを行なえて、回線品質の低下を抑制できる。

【0151】さらに、本発明の請求項8記載のインタリーブ装置によれば、メモリから出力される番号が、アドレスとして用いられるので、予め出力する番号を容易に設定することができ、簡易にデータの分散を偏りのないものにできるので、回線品質の低下を抑制できる。次に、本発明の請求項9記載のデインタリーブ装置によれば、第2制御部が、該受信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えたインタリーブ前の状態で該第2記憶部から出力するように該第2記憶部を制御するので、簡素な構成の下、比較的容易なデインタリーブにより、誤りデータの分散を偏りのないものにするので、回線品質の低下を抑制できる。

【0152】さらに、本発明の請求項10記載のデインタリーブ装置によれば、第2書込制御部が、該受信データを行列状に並べて少なくとも列及び行のいずれか一方を単位にランダムに並び替えたインタリーブ前の状態で該第2記憶部に書き込むための、書き込みアドレスを発生して、該受信データの書き込みを行ない、該第2制御部が、該第2記憶部に記憶された該受信データをアドレス順に読み出すことによっても、容易にデインタリーブを行なえて、回線品質の低下を抑制できる。

【0153】さらに、本発明の請求項11記載のデインタリーブ装置によれば、列番号発生部が列番号をランダムに発生し、行番号発生部が行番号をランダムに発生し、該第2書込制御部が、該列番号発生部及び該行番号

発生部にて発生する各番号を該書き込みアドレスとして、該第2記憶部にデータを書き込むことにより、確実にデインタリーブW行なえて、回線品質の低下を抑制できる。

【0154】または、本発明の請求項12記載のデインタリーブ装置によれば、該第2制御部が、該受信データを該第2記憶部にアドレス順に書き込むとともに、第2読出制御部が、該第2記憶部に書き込まれている該受信データを行列状に並べて少なくとも列及び行のいずれか一方を単位にランダムに並び替えたインタリーブ前の状態で該第2記憶部から読み出すための、読み出しアドレスを発生して、該受信データの読み出しを行なうことによっても、容易にデインタリーブを行なえて、回線品質の低下を抑制できる。

【0155】さらに、本発明の請求項13記載のデインタリーブ装置によれば、列番号発生部が列番号をランダムに発生し、行番号発生部が行番号をランダムに発生し、該第2読出制御部が、該列番号発生部及び該行番号発生部にて発生する各番号を該読み出しアドレスとして、該第2記憶部から該受信データを読み出すことにより、確実にデインタリーブを行なえて、回線品質の低下を抑制できる。

【0156】さらに、本発明の請求項14記載のデインタリーブ装置によれば、メモリから出力される番号が、アドレスとして用いられ、予め出力する番号を容易に設定することができて、簡易に誤りデータの分散を偏りのないものにするので、回線品質の低下を抑制できる。次に、本発明の請求項15記載のインタリーブ／デインタリーブシステムによれば、該インタリーブ装置が、該送信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えられた状態で出力する一方で、該デインタリーブ装置が、受信データを行列状に並べて、少なくとも列及び行のいずれか一方を単位にランダムに並び替えられることにより、インタリーブ前の状態で出力することにより、インタリーブ後のデータにバースト的な誤りが発生しても、簡素な構成の下、比較的容易にデータの分散を偏りのないものにするので、回線品質の低下を抑制できる。

【0157】並びに、本発明の請求項16記載のインタリーブ／デインタリーブ装置によれば、インタリーブ装置とデインタリーブ装置とが送信データをランダムに並び替え、受信データの配列もランダムに並び替えることにより、送信データ及び受信データの回線品質の低下を抑制できる。

#### 【図面の簡単な説明】

【図1】本発明のインタリーブ装置を示す原理ブロック図である。

【図2】本発明のデインタリーブ装置を示す原理ブロック図である。

【図3】本発明のインタリーブ／デインタリーブシステム

ムを示す原理ブロック図である。

【図4】本発明のインタリーブ／デインタリーブ装置を示す原理ブロック図である。

【図5】本発明の第1実施形態に係るMSの構成を示すブロック図である。

【図6】本発明の第1実施形態に係るインタリーブ部のインタリーブを説明するための図である。

【図7】本発明の第1実施形態に係るインタリーブ部のインタリーブを説明するための図である。

【図8】本発明の第1実施形態に係るインタリーブ部のインタリーブを説明するための図である。

【図9】本発明の第1実施形態に係るインタリーブ部にてインタリーブされたデータを示す図である。

【図10】本発明の第1実施形態に係るインタリーブ装置を示すブロック図である。

【図11】本発明の第1実施形態に係る第1RAM読出処理部の詳細な構成を示すブロック図である。

【図12】(a)～(d)は、それぞれ1行発生回路のシフトレジスタの概略動作を説明するためのタイムチャートである。

【図13】本発明の第1実施形態に係るデインタリーブ装置を示すブロック図である。

【図14】本発明の第1実施形態の第1変形例に係るデインタリーブ部の構成を示すブロック図である。

【図15】本発明の第1実施形態の第1変形例に係るA列発生回路と1行発生回路と加算器からそれぞれ出力される値を示す図である。

【図16】本発明の第1実施形態の第1変形例に係るインタリーブ部の構成を示すブロック図である。

【図17】本発明の第2実施形態に係るデインタリーブ部を示すブロック図である。

【図18】本発明の第2実施形態に係るインタリーブ部を示すブロック図である。

【図19】インタリーブ機能を有する誤り訂正符号化部を示すブロック図である。

【図20】インタリーブ機能及びデインタリーブ機能を有する誤り訂正復号化部を示すブロック図である。

【図21】その他のインタリーブ部を示すブロック図である。

【図22】一般的なブロックインタリーブを説明するための図である。

【図23】一般的なランダムインタリーブを説明するための図である。

【図24】一般的なランダムインタリーブを説明するための図である。

【図25】インタリーブリング(24[4[2×2]×6[3×2]]×16[4[2×2]×4[2×2]])を説明するための図である。

【図26】インタリーブリング(24[4[2×2]×6[3×2]]×16[4[2×2]×4[2×2]])を説明するための図である。

【図27】インタリーブリング(24[4[2×2]×6[3×2]])

×16[4[2×2]×4[2×2]])を説明するための図である。

【図28】インタリーピング(24[4[2×2]×6[3×2]]×16[4[2×2]×4[2×2]])を説明するための図である。

【図29】インタリーピング(24[4[2×2]×6[3×2]]×16[4[2×2]×4[2×2]])を説明するための図である。

【図30】インタリーピング(24[4[2×2]×6[3×2]]×16[4[2×2]×4[2×2]])を説明するための図である。

【図31】インタリーピング(24[4[2×2]×6[3×2]]×16[4[2×2]×4[2×2]])を説明するための図である。

【図32】インタリーピング(24[4[2×2]×6[3×2]]×16[4[2×2]×4[2×2]])を説明するための図である。

【符号の説明】

- 1 インタリーブ装置
- 2 第1記憶部
- 3 第1制御部
- 4 デインタリーブ装置
- 5 第2記憶部
- 6 第2制御部
- 7 インタリーブ/デインタリーブシステム
- 8A, 8B インタリーブ/デインタリーブ装置
- 50, 50-1, 50-2, 50-3, 50-4 MS
- 50-a 受信機
- 50-b 逆拡散器
- 50-c データ抽出部
- 50-d, 50-1, 50-d2, 50-d3, 50-d4 デインタリーブ部(デインタリーブ装置)
- 50-e, 50-e1 誤り訂正復号化部
- 50-ea 復号化装置
- 50-f 誤り検出部
- 50-g CPU
- 50-h 誤り検出符号化部
- 50-i, 50-i1 誤り訂正符号化部
- 50-ia 符号化装置
- 50-j, 50-j1, 50-j2, 50-j3, 50-j4, 50-j5 デインタリーブ部(デインタリーブ装置)
- 50-k 信号組立部
- 50-l 拡散器
- 50-m 送信機

50-n デュプレクサ

50-p アンテナ

51, 51-1, 56A~56B インタリーブRAM(第1記憶部)

52, 52-1 制御処理部(第1制御部)

53, 53-1 インタリーブRAM(第2記憶部)

54, 54-1 制御処理部(第2制御部)

60 第1読出処理部

60-1 第2書込寄り部(第2書込制御部)

60-2 第3書込処理部

60-3 第4書込処理部(第1書込制御部)

61, 61A~61B カウンタ

70 第1読出処理部(第1読出制御部)

70-1 第2読出処理部

70-2 第3読出処理部(第2読出制御部)

70-3 第4読出処理部

71, 71-1, 71-2 A列発生回路(列番号発生部)

71-2a, 72-2a ROM(メモリ)

71-2b, 72-2b カウンタ

71-a 第1選択回路

71-b 第2選択回路

71-c 第3選択回路

71-d, 74 AND回路

71A 行発生回路(行番号発生部)

71B, 71C 列発生回路(列番号発生部)

72, 72-1, 72-2 1行発生回路(行番号発生部)

72-a 第4選択回路

72-b スイッチ(SW)

72A 列発生回路(行番号発生部)

72B, 72C 行発生回路(行番号発生部)

73 加算器

75-a EX-OR

75-b シフトレジスタ

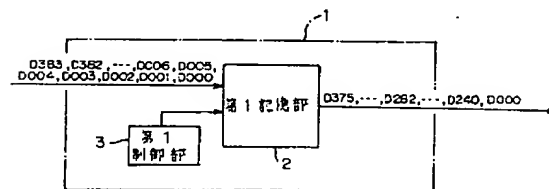
75-b1~75-b9 フリップフロップ

75-c 設定制御部

100, 100-1, 100-2, 100-3, 400

-4 BS

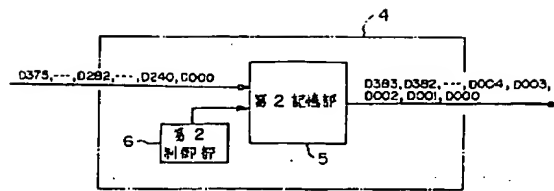
【図1】



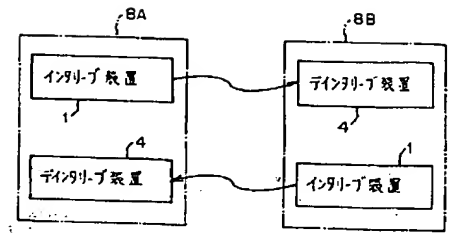
【図3】



【図 2】

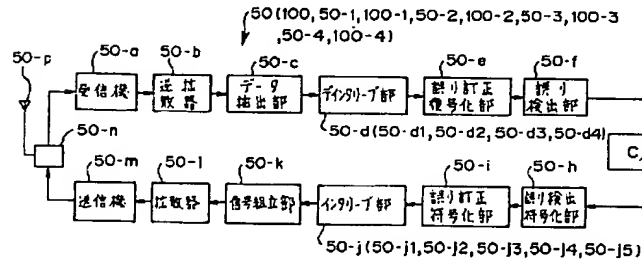


【図 4】



【図 5】

【図 19】



【図 6】

【図 7】

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P
1	000	001	002	003	004	005	006	007	008	009	010	011	012	013	014	015
2	016	017	018	019	020	021	022	023	024	025	026	027	028	029	030	031
3	032	033	034	035	036	037	038	039	040	041	042	043	044	045	046	047
4	048	049	050	051	052	053	054	055	056	057	058	059	060	061	062	063
5	064	065	066	067	068	069	070	071	072	073	074	075	076	077	078	079
6	080	081	082	083	084	085	086	087	088	089	090	091	092	093	094	095
7	096	097	098	099	100	101	102	103	104	105	106	107	108	109	110	111
8	112	113	114	115	116	117	118	119	120	121	122	123	124	125	126	127
9	128	129	130	131	132	133	134	135	136	137	138	139	140	141	142	143
10	144	145	146	147	148	149	150	151	152	153	154	155	156	157	158	159
11	160	161	162	163	164	165	166	167	168	169	170	171	172	173	174	175
12	176	177	178	179	180	181	182	183	184	185	186	187	188	189	190	191
13	192	193	194	195	196	197	198	199	200	201	202	203	204	205	206	207
14	208	209	210	211	212	213	214	215	216	217	218	219	220	221	222	223
15	224	225	226	227	228	229	230	231	232	233	234	235	236	237	238	239
16	240	241	242	243	244	245	246	247	248	249	250	251	252	253	254	255
17	256	257	258	259	260	261	262	263	264	265	266	267	268	269	270	271
18	272	273	274	275	276	277	278	279	280	281	282	283	284	285	286	287
19	288	289	290	291	292	293	294	295	296	297	298	299	300	301	302	303
20	304	305	306	307	308	309	310	311	312	313	314	315	316	317	318	319
21	320	321	322	323	324	325	326	327	328	329	330	331	332	333	334	335
22	336	337	338	339	340	341	342	343	344	345	346	347	348	349	350	351
23	352	353	354	355	356	357	358	359	360	361	362	363	364	365	366	367
24	368	369	370	371	372	373	374	375	376	377	378	379	380	381	382	383

【図 9】

000 240 288 144 256 128..... 231 119 311 375

	A	P	J	I	E	C	B	M	G	D	L	N	K	F	O	H
1	000	015	009	008	004	002	001	012	003	003	011	013	010	005	014	007
2	018	021	025	024	020	018	017	028	022	019	027	029	026	021	030	023
3	032	047	041	040	036	034	033	044	038	035	043	046	042	037	048	039
4	048	063	057	056	052	050	049	060	054	051	059	061	058	053	062	055
5	064	079	073	072	068	066	065	076	070	067	075	077	074	069	078	071
6	080	095	089	088	084	082	081	092	086	083	091	093	090	085	094	087
7	096	111	105	104	100	098	097	108	102	099	107	109	106	101	110	103
8	112	127	121	120	116	114	113	124	118	115	123	125	122	117	126	119
9	128	143	137	136	132	130	129	140	134	131	139	141	138	133	142	135
10	144	159	153	152	148	146	145	156	150	147	155	157	154	149	158	151
11	160	175	169	168	164	162	161	172	166	163	171	173	170	165	174	167
12	176	191	185	184	180	178	177	188	182	179	187	189	186	181	190	183
13	192	207	201	200	196	194	193	204	198	195	203	205	202	197	206	199
14	208	223	217	216	212	210	209	220	214	211	219	221	218	213	222	215
15	224	239	233	232	228	226	225	236	230	227	235	237	234	229	238	231
16	240	255	249	248	244	242	241	252	246	243	251	253	250	245	254	247
17	256	271	265	264	260	258	257	268	262	259	267	269	266	261	270	263
18	272	287	281	280	276	274	273	284	278	275	283	285	282	277	286	279
19	288	303	297	296	292	290	289	300	294	291	299	301	298	293	302	295
20	304	319	313	312	308	306	305	316	310	307	315	317	314	309	318	311
21	320	335	329	328	324	322	321	332	326	323	331	333	330	325	334	327
22	336	351	345	344	340	338	337	348	342	339	347	349	346	341	350	343
23	352	367	361	360	356	354	353	364	358	355	363	365	362	357	366	359
24	368	383	377	376	372	370	369	380	374	371	379	381	378	373	382	375

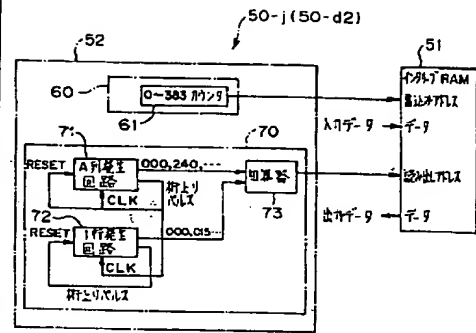
【図 23】

1	P	2	D	3	N	4	S
5	C	6	H	7	J	8	J
9	K	10	M	11	A	12	L
13	G	14	Q	15	E	16	B
17	T	18	R	19	O	20	F

【図 8】

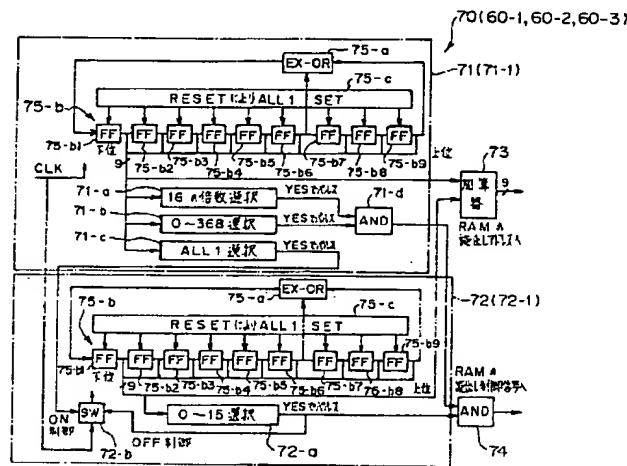
	A	P	J	I	E	C	B	M	G	D	L	N	K	F	O	H
1	000	015	009	008	004	002	001	012	006	003	011	013	010	005	014	007
16	240	255	249	248	244	242	241	252	248	243	251	253	250	245	254	247
19	288	300	297	296	292	290	289	300	294	291	299	301	298	293	302	295
10	144	159	153	152	148	146	145	156	160	147	155	157	154	149	158	151
17	256	271	265	264	260	258	257	268	262	259	267	269	266	261	270	263
9	128	143	137	136	132	130	129	140	134	131	139	141	138	133	142	135
6	064	079	073	072	068	066	065	076	070	067	075	077	074	069	078	071
3	032	047	041	040	036	034	033	044	038	035	043	045	042	037	046	039
2	016	031	025	024	020	018	017	028	022	019	027	029	026	021	030	023
18	272	287	281	280	276	274	273	284	278	275	283	285	282	277	286	279
22	336	351	345	344	340	338	337	348	342	339	347	349	346	341	350	343
13	192	207	201	200	196	194	193	204	198	195	203	205	202	197	206	199
7	096	111	105	104	100	098	097	108	102	099	107	109	106	101	110	103
4	048	063	057	056	052	050	049	060	054	051	059	061	058	053	062	055
23	352	367	361	360	356	354	353	364	358	355	363	365	362	357	366	359
12	176	191	185	184	180	178	177	188	182	179	187	189	186	181	190	183
14	208	223	217	216	212	210	209	220	214	211	219	221	218	213	222	215
21	320	335	329	328	324	322	321	332	326	323	331	333	330	325	334	327
11	160	175	169	168	164	162	161	172	166	163	171	173	170	165	174	167
6	080	095	089	088	084	082	081	092	086	083	091	093	090	085	094	087
15	224	239	233	232	228	226	225	236	230	227	235	237	234	229	238	231
8	112	127	121	120	116	114	113	124	118	115	123	125	122	117	126	119
20	304	319	313	312	308	306	305	316	310	307	315	317	314	309	318	311
24	368	383	377	376	372	370	369	380	374	371	379	381	378	373	382	375

【図 10】

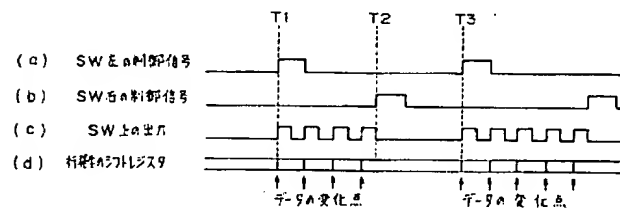


【図 21】

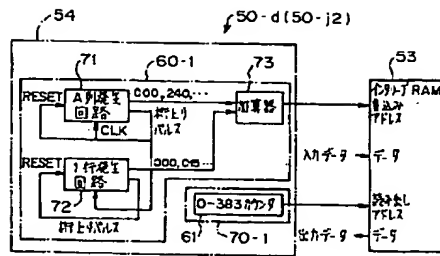
【図 11】



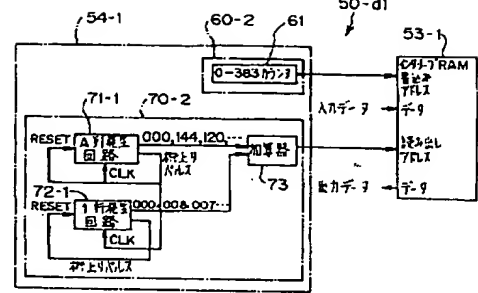
【図 12】



【図 13】



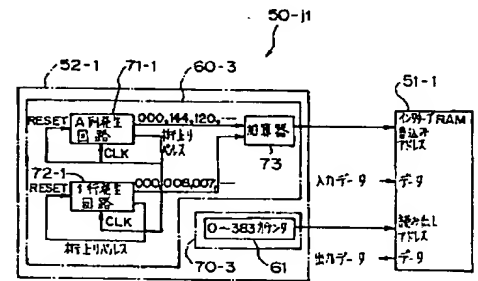
【図 14】



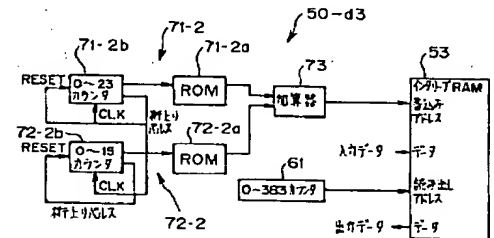
【図 15】

人間発生回路の出力	000	144	120	216	096	312	192	360	072	948	288	240
1行発生回路の出力	000	000	000	000	000	000	000	000	000	000	000	000
加算器の出力	000	144	120	216	096	312	192	360	072	948	288	240
	168	264	336	432	000	144	120	216	096	312	192	360
	000	000	000	000	000	000	000	000	000	000	000	000
	168	264	336	432	000	144	120	216	096	312	192	360
	000	000	000	000	000	000	000	000	000	000	000	000
	240	168	264	336	432	000	144	120	216	096	312	192
	000	000	000	000	000	000	000	000	000	000	000	000
	240	168	264	336	432	000	144	120	216	096	312	192
	000	000	000	000	000	000	000	000	000	000	000	000
	288	240	168	264	336	432	000	144	120	216	096	312
	000	000	000	000	000	000	000	000	000	000	000	000
	288	240	168	264	336	432	000	144	120	216	096	312
	000	000	000	000	000	000	000	000	000	000	000	000
	000	144	120	216	096	312	192	360	072	948	288	240
	019	019	019	019	019	019	019	019	019	019	019	019
	019	163	355	043	012	156	348	036	021	165	357	045
	000	000	000	000	000	000	000	000	000	000	000	000
	005	005	005	005	005	005	005	005	005	005	005	005
	000	000	000	000	000	000	000	000	000	000	000	000
	001	001	001	001	001	001	001	001	001	001	001	001
	000	144	120	216	096	312	192	360	072	948	288	240
	014	014	014	014	014	014	014	014	014	014	014	014
	014	168	355	043	012	156	348	036	021	165	357	045

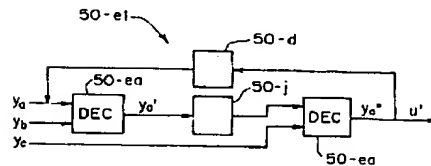
【図 16】



【図 17】



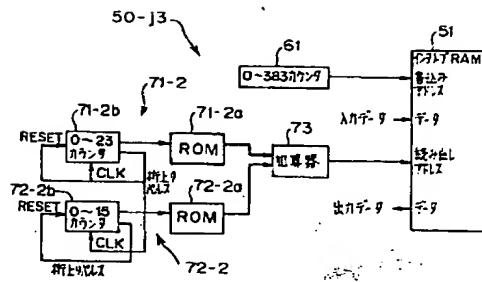
【図 20】



【図 32】

000	192	000	288	032	224	128	320	064	256	160	368	096	272	176	384
000	200	104	296	040	232	136	328	072	264	176	380	024	216	120	376
004	196	100	292	036	228	132	324	068	260	164	364	092	270	172	380
012	204	108	300	044	236	140	332	076	268	180	384	028	220	124	380
020	184	088	280	024	216	120	376	016	208	112	368	008	200	104	372
010	202	106	298	042	234	138	330	074	266	178	382	026	218	122	378
006	194	102	294	038	230	134	326	070	262	174	376	018	210	114	374
014	206	110	302	046	238	142	334	078	270	182	386	030	222	126	382
001	193	087	283	023	215	119	367	015	207	103	367	007	199	101	367
009	201	105	297	041	231	135	327	073	265	175	379	025	217	121	379
005	187	091	285	027	219	123	371	017	209	105	369	009	201	105	369
013	205	107	299	043	233	137	331	075	267	181	387	029	221	127	387
003	195	093	287	025	217	121	373	019	211	107	371	011	203	103	371
011	203	103	297	041	231	135	327	073	265	175	379	025	217	121	379
007	189	095	289	029	221	125	375	019	211	107	371	011	203	103	371
015	207	111	303	047	235	139	333	077	269	183	389	031	223	129	389

【図 18】



【図 22】

A'	B'	C'	D'	E'	F'	G'	H'	I'	J'	K'	L'	M'	N'	O'	P'
000	001	002	003	004	005	006	007	008	009	010	011	012	013	014	015
016	017	018	019	020	021	022	023	024	025	026	027	028	029	030	031
032	033	034	035	036	037	038	039	040	041	042	043	044	045	046	047
048	049	050	051	052	053	054	055	056	057	058	059	060	061	062	063
064	065	066	067	068	069	070	071	072	073	074	075	076	077	078	079
080	081	082	083	084	085	086	087	088	089	090	091	092	093	094	095
096	097	098	099	100	101	102	103	104	105	106	107	108	109	110	111
112	113	114	115	116	117	118	119	120	121	122	123	124	125	126	127
128	129	130	131	132	133	134	135	136	137	138	139	140	141	142	143
144	145	146	147	148	149	150	151	152	153	154	155	156	157	158	159
160	161	162	163	164	165	166	167	168	169	170	171	172	173	174	175
176	177	178	179	180	181	182	183	184	185	186	187	188	189	190	191
192	193	194	195	196	197	198	199	200	201	202	203	204	205	206	207
208	209	210	211	212	213	214	215	216	217	218	219	220	221	222	223
224	225	226	227	228	229	230	231	232	233	234	235	236	237	238	239
240	241	242	243	244	245	246	247	248	249	250	251	252	253	254	255
256	257	258	259	260	261	262	263	264	265	266	267	268	269	270	271
272	273	274	275	276	277	278	279	280	281	282	283	284	285	286	287
288	289	290	291	292	293	294	295	296	297	298	299	300	301	302	303
304	305	306	307	308	309	310	311	312	313	314	315	316	317	318	319
320	321	322	323	324	325	326	327	328	329	330	331	332	333	334	335
336	337	338	339	340	341	342	343	344	345	346	347	348	349	350	351
352	353	354	355	356	357	358	359	360	361	362	363	364	365	366	367
368	369	370	371	372	373	374	375	376	377	378	379	380	381	382	383

【図 24】

000	255	127	063	031	015	283	240	378	251	125	082	287	143	327	232
116	314	206	103	307	153	078	038	019	009	260	130	065	288	144	328
164	082	297	229	370	220	368	183	091	045	278	241	120	318	249	124
318	207	359	217	108	054	283	141	325	163	337	168	084	298	149	074
037	274	226	113	056	284	189	355	216	364	182	347	173	342	234	117
058	285	142	071	291	200	100	050	281	140	070	035	273	138	088	034
017	008	004	002	001	256	128	064	032	018	264	132	068	033	272	198
098	049	024	268	134	067	289	228	114	313	156	334	167	339	169	340
213	106	053	026	269	185	353	246	379	189	084	303	203	357	236	118
315	157	078	039	275	137	324	182	081	040	020	268	133	322	161	336
212	362	181	090	301	252	382	223	111	311	155	077	294	147	073	292
146	329	210	381	253	128	319	158	079	295	201	356	178	345	172	086
299	202	101	306	204	102	051	025	012	006	003	257	192	096	048	280
198	099	305	152	332	166	083	041	276	197	354	177	088	300	150	331
254	383	191	085	047	279	138	325	209	104	052	282	227	369	184	348
215	107	309	154	333	211	105	308	243	121	060	286	248	380	239	375
187	093	046	023	011	261	193	352	178	344	214	363	218	365	237	374
221	110	055	027	013	262	131	321	208	360	180	348	250	381	190	351
175	343	171	341	170	085	042	021	010	005	258	129	320	180	060	296
148	330	165	338	245	122	317	158	335	233	372	238	119	059	029	014
007	258	224	112	312	231	371	185	092	302	151	075	293	242	377	188
360	235	373	186	349	174	087	043	277	138	069	290	145	072	038	018
265	194	097	304	230	115	057	028	270	135	323	244	378	222	367	219
109	310	205	358	179	089	044	022	287	225	368	247	123	061	030	271

【図 25】

1	5	9	13	2	6	10	14	3	7	11	15	4	8	12	16
000	001	002	003	004	005	006	007	008	009	010	011	012	013	014	015
016	017	018	019	020	021	022	023	024	025	026	027	028	029	030	031
032	033	034	035	036	037	038	039	040	041	042	043	044	045	046	047
048	049	050	051	052	053	054	055	056	057	058	059	060	061	062	063
064	065	066	067	068	069	070	071	072	073	074	075	076	077	078	079
080	081	082	083	084	085	086	087	088	089	090	091	092	093	094	095
096	097	098	099	100	101	102	103	104	105	106	107	108	109	110	111
112	113	114	115	116	117	118	119	120	121	122	123	124	125	126	127
128	129	130	131	132	133	134	135	136	137	138	139	140	141	142	143
144	145	146	147	148	149	150	151	152	153	154	155	156	157	158	159
160	161	162	163	164	165	166	167	168	169	170	171	172	173	174	175
176	177	178	179	180	181	182	183	184	185	186	187	188	189	190	191
192	193	194	195	196	197	198	199	200	201	202	203	204	205	206	207
208	209	210	211	212	213	214	215	216	217	218	219	220	221	222	223
224	225	226	227	228	229	230	231	232	233	234	235	236	237	238	239
240	241	242	243	244	245	246	247	248	249	250	251	252	253	254	255
256	257	258	259	260	261	262	263	264	265	266	267	268	269	270	271
272	273	274	275	276	277	278	279	280	281	282	283	284	285	286	287
288	289	290	291	292	293	294	295	296	297	298	299	300	301	302	303
304	305	306	307	308	309	310	311	312	313	314	315	316	317	318	319
320	321	322	323	324	325	326	327	328	329	330	331	332	333	334	335
336	337	338	339	340	341	342	343	344	345	346	347	348	349	350	351
352	353	354	355	356	357	358	359	360	361	362	363	364	365	366	367
368	369	370	371	372	373	374	375	376	377	378	379	380	381	382	383

【图 27】

1	3	2	4	1	3	2	4	1	3	2	4	1	3	2	4
000	004	008	012	002	006	010	014	001	005	009	013	003	007	011	015
016	020	024	028	018	022	026	030	017	021	025	029	019	023	027	031
032	036	040	044	034	038	042	046	033	037	041	045	035	039	043	047
048	052	056	060	050	054	058	062	049	053	057	061	051	055	059	063
064	068	072	076	066	070	074	078	065	069	073	077	067	071	075	079
080	084	088	092	082	086	090	094	081	085	089	093	083	087	091	095
096	100	104	108	098	102	106	110	097	101	105	109	099	103	107	111
116	120	124	128	114	118	122	126	113	117	121	125	115	119	123	127
128	132	136	140	130	134	138	142	128	133	137	141	131	135	139	143
144	148	152	156	144	148	152	156	145	149	153	157	147	151	155	159
160	164	168	172	162	166	170	174	161	165	169	173	163	167	171	175
176	180	184	188	178	182	186	190	177	181	185	189	179	183	187	191
192	196	200	204	194	198	202	206	193	197	201	205	195	199	203	207
208	212	216	220	210	214	218	222	209	213	217	221	211	215	219	223
224	228	232	236	226	230	234	238	225	229	233	237	227	231	235	239
240	244	248	252	242	246	250	254	241	245	249	253	243	247	251	255
256	260	264	268	258	262	266	270	257	261	265	269	259	263	267	271
272	276	280	284	274	278	282	286	273	277	281	285	275	279	283	287
288	292	296	300	290	294	298	302	289	293	297	301	291	295	299	303
304	308	312	316	306	310	314	318	305	309	313	317	307	311	315	319
320	324	328	332	322	326	330	334	321	325	329	333	323	327	331	335
336	340	344	348	338	342	346	350	337	341	345	349	339	343	347	351
352	356	360	364	354	358	362	366	353	357	361	365	355	359	363	367
368	372	376	380	370	374	378	382	369	373	377	381	371	375	379	383

【圖 29】

1	000 008 004 012 002 010 008 014 001 009 005 013 003 011 007 015 096 104 100 108 008 106 102 100 107 106 101 109 099 107 103 111 192 200 196 204 194 202 198 206 193 201 197 205 196 203 199 207 288 296 292 300 290 298 294 302 288 297 293 301 291 290 296 303
4	018 024 020 028 018 026 022 030 017 025 021 029 019 027 023 031 112 120 118 124 114 122 118 126 113 121 117 125 115 123 119 127 208 216 212 220 210 218 214 212 209 217 213 221 211 219 215 223 304 312 308 318 308 314 310 318 305 313 308 317 307 315 311 319
	032 040 036 044 034 042 038 046 033 041 037 045 036 043 039 047 128 136 132 140 130 138 134 142 129 137 133 141 131 139 135 143 224 232 228 236 226 234 230 238 225 233 229 237 227 235 231 239 320 328 324 332 322 330 326 334 321 329 325 333 323 331 327 335
5	048 056 052 060 050 058 054 062 049 057 053 061 051 069 055 063 144 152 148 156 146 154 150 158 145 153 149 157 147 155 151 159 240 248 244 252 242 250 246 254 241 249 245 253 243 251 247 255 336 344 340 348 338 346 342 350 337 345 341 349 339 347 343 351
3	064 072 068 076 068 074 070 078 065 073 069 077 067 075 071 079 160 168 164 172 162 170 176 161 169 165 173 163 171 167 175 256 264 260 268 258 266 272 270 257 265 261 269 259 267 263 271 352 360 356 364 354 362 358 365 361 357 363 359 367 363 367
6	080 088 084 092 082 090 086 094 081 089 085 093 083 081 087 095 176 184 180 188 178 186 182 170 177 185 181 189 179 187 183 181 272 280 276 284 274 282 278 286 273 281 277 285 275 283 279 287 368 376 372 380 370 378 374 382 369 377 373 381 371 378 375 383



【図 30】

1	000 008 004 012 002 010 006 014 001 009 005 013 003 011 007 015
3	006 104 100 106 098 106 102 110 097 105 101 109 099 107 103 111
2	192 200 196 204 194 202 198 206 193 201 197 205 195 203 199 207
4	288 296 292 300 290 298 294 302 289 297 293 301 291 299 295 303
1	032 040 036 044 034 042 038 046 033 041 037 045 035 043 039 047
3	128 136 132 140 130 138 134 142 129 137 133 141 131 139 135 143
2	224 232 228 236 226 234 230 238 225 233 229 237 227 235 231 239
4	320 328 324 332 322 330 326 334 321 329 325 333 323 331 327 335
1	064 072 068 076 066 074 070 078 065 073 069 077 067 075 071 079
3	160 168 164 172 162 170 166 174 161 169 165 173 163 171 167 175
2	256 264 260 268 258 266 262 270 257 265 261 269 259 267 263 271
4	352 360 356 364 354 362 358 366 353 361 357 365 355 363 359 367
1	016 024 020 028 018 026 022 030 017 025 021 029 019 027 023 031
3	112 120 116 124 114 122 118 126 113 121 117 125 115 123 119 127
2	208 216 212 220 210 218 214 222 209 217 213 221 211 219 215 223
4	304 312 308 316 306 314 310 318 305 313 309 317 307 315 311 319
1	048 056 052 060 050 058 054 062 049 067 063 061 051 059 055 063
3	144 152 148 156 146 154 150 158 145 153 149 157 147 155 151 159
2	240 248 244 252 242 250 246 254 241 249 245 253 243 251 247 255
4	336 344 340 348 338 346 342 350 337 345 341 349 339 347 343 351
1	080 088 084 092 082 090 086 094 081 089 085 093 083 091 087 095
3	176 184 180 188 178 186 182 190 177 185 181 189 179 187 183 191
2	272 280 276 284 274 282 278 286 273 281 277 285 275 283 279 287
4	368 376 372 380 370 378 374 382 369 377 373 381 371 379 375 383

【図 31】

A'	000 008 004 012 002 010 006 014 001 009 005 013 003 011 007 015
1'	192 200 196 204 194 202 198 206 193 201 197 205 195 203 199 207
	006 104 100 106 098 106 102 110 097 105 101 109 099 107 103 111
	288 296 292 300 290 298 294 302 289 297 293 301 291 299 295 303
	032 040 036 044 034 042 038 046 033 041 037 045 035 043 039 047
	224 232 228 236 226 234 230 238 225 233 229 237 227 235 231 239
	128 136 132 140 130 138 134 142 129 137 133 141 131 139 135 143
	320 328 324 332 322 330 326 334 321 329 325 333 323 331 327 335
	064 072 068 076 066 074 070 078 065 073 069 077 067 075 071 079
	256 264 260 268 258 266 262 270 257 265 261 269 259 267 263 271
	160 168 164 172 162 170 166 174 161 169 165 173 163 171 167 175
	352 360 356 364 354 362 358 366 353 361 357 365 355 363 359 367
	016 024 020 028 018 026 022 030 017 025 021 029 019 027 023 031
	208 216 212 220 210 218 214 222 209 217 213 221 211 219 215 223
	112 120 116 124 114 122 118 126 113 121 117 125 115 123 119 127
	304 312 308 316 306 314 310 318 305 313 309 317 307 315 311 319
	048 056 052 060 050 058 054 062 049 067 063 061 051 059 055 063
	240 248 244 252 242 250 246 254 241 249 245 253 243 251 247 255
	144 152 148 156 146 154 150 158 145 153 149 157 147 155 151 159
	336 344 340 348 338 346 342 350 337 345 341 349 339 347 343 351
	080 088 084 092 082 090 086 094 081 089 085 093 083 091 087 095
	272 280 276 284 274 282 278 286 273 281 277 285 275 283 279 287
	176 184 180 188 178 186 182 190 177 185 181 189 179 187 183 191
	368 376 372 380 370 378 374 382 369 377 373 381 371 379 375 383

フロントページの続き

(72)発明者 川端 和生

神奈川県川崎市中原区上小田中 4 丁目 1 番

1 号 富士通株式会社内

F ターム(参考) 5J065 AA01 AC02 AD03 AF02 AG06

AH09 AH17 AH19

5K014 AA01 BA05 FA16 HA00